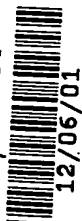


J1046 U.S. PTO
10/008704



대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 :
Application Number

특허출원 2001년 제 38717 호
PATENT-2001-0038717

출원 년 월 일 :
Date of Application

2001년 06월 30일
JUN 30, 2001

출원인 :
Applicant(s)

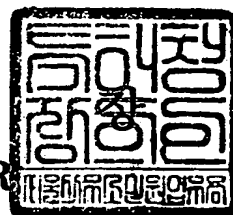
삼성전자 주식회사
SAMSUNG ELECTRONICS CO., LTD.



2001 08 13
년 월 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2001.06.30
【국제특허분류】	H01L 23/48
【발명의 명칭】	다이 패드와 리드의 두께가 서로 다른 초박형 반도체 패키지 및 그 제조 방법
【발명의 영문명칭】	Ultra-thin semiconductor package device having different thickness of die pad and leads, and method for manufacturing the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	윤동열
【대리인코드】	9-1998-000307-3
【포괄위임등록번호】	1999-005918-7
【대리인】	
【성명】	이선희
【대리인코드】	9-1998-000434-4
【포괄위임등록번호】	1999-025833-2
【대리인】	
【성명】	남희섭
【대리인코드】	9-1999-000451-4
【포괄위임등록번호】	2001-000228-1
【발명자】	
【성명의 국문표기】	안상호
【성명의 영문표기】	AHN, Sang Ho
【주민등록번호】	650303-1122628
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 청명마을 삼익아파트 327동 1501호
【국적】	KR

【발명자】**【성명의 국문표기】**

오세용

【성명의 영문표기】

OH, Se Yong

【주민등록번호】

541215-1388712

【우편번호】

138-240

【주소】서울특별시 송파구 신천동 7번지 장미아파트 24동
1409호**【국적】**

KR

【우선권주장】**【출원국명】**

KR

【출원종류】

특허

【출원번호】

10-2001-0011182

【출원일자】

2001.03.05

【증명서류】

첨부

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 윤동열 (인) 대리인
 이선희 (인) 대리인
 남희섭 (인)

【수수료】**【기본출원료】**

20 면 29,000 원

【가산출원료】

39 면 39,000 원

【우선권주장료】

1 건 26,000 원

【심사청구료】

52 항 1,773,000 원

【합계】

1,867,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통 2. 위임장_1통[1999년 1월 21일자 포괄위임등록, 1999년 3월 15일자 복대리인선임, 2001년 1월 3일자 복대리인선임] 3. 우선권 증명서류 및 동 번역문_1통

【요약서】

【요약】

본 발명은 다이 패드와 리드의 두께가 서로 다른 초박형 반도체 패키지 및 그 제조 방법을 제공한다. 본 발명에 따른 초박형 반도체 패키지는 다이 패드를 구비한 리드 프레임을 포함하며, 다이 패드는 제1 두께를 가지는 칩 부착부를 포함한다. 칩 부착부는 리드 두께의 30~50%의 범위에 있다. 또한, 초박형 반도체 패키지는 칩 부착부에 부착된 반도체 집적회로 칩에 각각의 리드를 전기적으로 연결하는 본딩 와이어와, 다이 패드와 반도체 집적회로 칩과 본딩 와이어와 각각의 리드의 안쪽을 밀봉하는 패키지 성형체를 포함한다. 반도체 패키지의 두께가 0.7mm 이하이며, 반도체 칩이 칩 부착부 양면에 부착된 경우 0.58mm 두께의 패키지, 하나의 칩만 사용하는 경우 0.47mm 두께의 패키지를 구현한다. 본 발명에 따른 패키지 제조 방법은 리드 프레임 다이 패드의 칩 부착부를 부분적으로 식각하여 제거하는 단계와, 복수의 반도체 칩이 형성되어 있고 활성면을 갖는 웨이퍼를 준비하는 단계, 웨이퍼의 밑면에 접착층을 부착하고 접착층에 자외선 테이프를 부착하는 단계와, 자외선 테이프에 자외선을 조사하여 상기 접착층과 자외선 테이프 사이의 접착력을 없애는 단계와, 웨이퍼를 복수의 반도체 칩 단위로 절단하는 단계와, 절단된 반도체 칩을 웨이퍼 상태의 자외선 테이프로부터 완전히 분리하는데, 상기 반도체 칩의 밑면에는 상기 접착층이 부착된 상태로 반도체 칩을 분리하는 단계를 포함한다. 본딩 와이어는 리드 프레임 리드에 형성된 볼과 반도체 칩 전극 패드에 형성된 스티치를 포함하는 리버스 본딩 와이어이며 상하부 반도체 칩에 연결되는 본딩 와이어의 길이를 서로 다르게 한다.

1020010038717

출력 일자: 2001/8/14

【대표도】

도 8

【색인어】

패키지, 초박형, 다이 패드, 타이 바, 리버스 본딩, 패키지 성형체

【명세서】**【발명의 명칭】**

다이 패드와 리드의 두께가 서로 다른 초박형 반도체 패키지 및 그 제조 방법{Ultra-thin semiconductor package device having different thickness of die pad and leads, and method for manufacturing the same}

【도면의 간단한 설명】

도 1은 종래 기술에 따른 리드 프레임 반도체 패키지를 나타내는 단면도이다.

도 2는 본 발명의 제1 실시예에 따른 초박형 반도체 패키지를 나타내는 평면도이다.

도 3a는 도 2의 III-III선 단면도이며, 도 3b는 도 3a의 부분 상세도이다.

도 4는 도 2의 IV-IV선 단면도이다.

도 5는 본 발명의 제2 실시예에 따른 초박형 반도체 패키지를 나타내는 단면도이다.

도 6은 본 발명의 제3 실시예에 따른 초박형 반도체 패키지를 나타내는 단면도이다.

도 7a와 도 7b는 본 발명의 제4 실시예에 따른 초박형 반도체 패키지를 나타내는 단면도이다.

도 8은 본 발명의 제5 실시예에 따른 초박형 반도체 패키지를 나타내는 단면도이다.

도 9는 본 발명에 따른 초박형 반도체 패키지에서 리버스 와이어 본딩의 구조를 나타내는 부분 상세도이다.

도 10은 본 발명의 제6 실시예에 따른 초박형 반도체 패키지를 나타내는 단면도이다.

도 11a와 도 11b는 본 발명의 제7 실시예에 따른 초박형 반도체 패키지를 나타내는 평면도와 단면도이다.

도 12a 내지 도 12f는 본 발명에 따른 초박형 반도체 패키지 소자 제조 공정에서 리드 프레임의 다이 패드를 부분적으로 얇게 만드는 방법을 설명하기 위한 부분 단면도이다.

도 13a 내지 도 13i는 본 발명에 따른 초박형 반도체 패키지 소자의 제조 과정을 설명하기 위한 부분 단면도이다.

도 14a 및 도 14b는 본 발명에 따른 초박형 반도체 패키지 소자가 적용되는 전자 기기로서, 메모리 카드의 평면도와 단면도이다.

도 15는 본 발명의 박형화 기술이 적용된 패키지 소자의 단면도이다.

도 16은 본 발명의 박형화 기술이 적용된 또 다른 패키지 소자의 단면도이다.

<도면의 주요 부분에 대한 부호의 설명>

100, 200, 300, 400, 500, 550, 600, 650: 반도체 패키지

110, 210, 310, 410, 510, 610: 리드 프레임(lead frame)

112, 212, 312, 412, 512, 612: 다이 패드(die pad)

114, 214, 414, 614: 타이 바(tie bar)

116, 316, 416, 516, 616: 리드(lead)

120: 반도체 집적회로 칩(semiconductor integrated circuit chip)

122: 접착층(adhesive layer)

124: 본딩 와이어(bonding wire)

126: 패키지 성형체(package mold body)

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<27> 본 발명은 반도체 조립 기술에 관한 것으로서, 좀 더 구체적으로는 다이 패드와 리드의 두께를 서로 다르게 하여 패키지 몸체의 두께를 얇게 만든 초박형 반도체 패키지와 그 제조 방법 및 초박형 패키지 소자가 포함된 전자 기기에 관한 것이다.

<28> 잘 알려진 바와 같이, 메모리 소자와 같은 반도체 집적회로 칩은 패키지의 형태로 조립한 후 각종 전자 장치의 회로 기판에 실장하여 사용한다. 이러한 반도체 패키지 소자는 회로 기판과의 전기적 연결과 물리적 접합을 위하여 매개체를 사용하는데, 이 매개체로는 리드 프레임이 가장 일반적이다.

<29> 도 1은 반도체 패키지 소자의 칩 실장 밀도를 높이기 위해 리드 프레임의 양면에 반도체 칩을 실장한 IC 소자의 단면도이다. 이러한 구조의 반도체 패키지는 예컨대, 일본 특허 공개 공보 62-147360호에 개시되어 있다.

<30> 도 1을 참조하면, 종래의 전형적인 반도체 패키지(10)는 다이 패드(13)와 다수의 리드(14)들로 구성된 리드 프레임(15)을 구비한다. 반도체 집적회로 칩(11)은 접착제(12)에 의하여 다이 패드(13)에 물리적으로 접합되며, 본딩 와이어(16)에 의하여 리드(14)에 전기적으로 연결된다. 반도체 칩(11)과 본딩 와이어(16) 등은 에폭시와 같은 성형수지로 형성되는 패키지 성형체(17) 속에 밀봉되어 외부로부터 보호된다. 각 리드(14)의 바깥쪽, 즉 패키지 성형체(17) 외부로 돌출된 외부 리드는 외부 회로 기판(도시되지 않음)에 실장하기에 적합한 형태로 가공된다.

<31> 이상과 같은 구조를 가지는 종래의 반도체 패키지(10)는 갈수록 박형화의 요구에 직면하고 있다. 이는 반도체 패키지(10)를 실장하여 사용하는 각종 전자 장치 자체의 소형화 및 박형화 추세에 따른 것이며, 특히 도 1에 예시된 바와 같이, 메모리 용량을 증가시키기 위하여 두 개 이상의 반도체 칩(11)을 내장한 반도체 패키지(10)의 경우에 박형화의 필요성은 더욱 커진다. 반도체 패키지를 박형화하기 위해서는 반도체 칩의 두께를 줄이고 리드 프레임을 얇게 하는 방법이 있다. 반도체 칩은 웨이퍼를 예컨대, 후면 연마(wafer back-lapping)하여 그 두께를 100~150 μm 범위까지 줄일 수 있다. 이 정도 두께의 반도체 칩을 하나만 사용하면 패키지 소자의 전체 두께를 1 mm 이하로 할 수 있다.

<32> 그러나, 반도체 집적회로 칩의 두께를 줄이는 것은 웨이퍼 취급을 어렵게 만들고, 웨이퍼 파손이나 칩 파손 가능성이 커진다는 단점이 있다. 웨이퍼, 즉 반도체 칩을 형성하는 주요 재질이 경도가 취약한 실리콘인 점을 감안하면 이러한 단점은 당연한 것이다. 특히, 반도체 제품의 수율을 높이기 위해 웨이퍼의 직

경이 12인치로 증가하는 기술적 추세를 고려할 때 칩의 두께를 줄이는 데에는 한계가 있다.

<33> 한편, 리드 프레임의 두께를 지나치게 얇게 하면, 조립 공정 도중에 리드 프레임이 쉽게 파손되어 조립 공정의 생산성이 떨어질 수 있다. 현재, 리드 프레임의 두께는 리드 프레임의 취급 가능성, 외부 리드의 절곡성(formability) 등을 고려할 때, 100 μ m가 그 한계인 것으로 알려져 있다.

<34> 또한, 패키지 소자의 두께를 줄이기 위해 새로운 조립 기술 예컨대, CSP(chip scale package) 기술을 사용할 수도 있지만, 이것은 이미 사용하고 있는 플라스틱 패키지 조립 장비들을 교체해야 하는 등의 비용 증가를 수반한다.

【발명이 이루고자 하는 기술적 과제】

<35> 따라서, 본 발명의 목적은 반도체 패키지의 실장 밀도를 높이면서도 두께가 1.0mm 이하인, 바람직하게는 0.7mm 이하 또는 0.5mm 이하인, 초박형(超薄型) 반도체 패키지 및 그 제조 방법을 제공하는 것이다.

<36> 본 발명의 다른 목적은 기존의 플라스틱 패키지 제조에 사용하는 설비를 그대로 사용함으로써 추가의 비용 투자없이 생산할 수 있는 초박형 반도체 패키지 및 그 제조 방법을 제공하는 것이다.

<37> 본 발명의 또 다른 목적은 물리적 신뢰성이 우수하고 공정 관리가 용이한 초박형 반도체 패키지를 제공하는 것이다.

【발명의 구성 및 작용】

<38> 이와 같은 목적을 달성하기 위하여, 본 발명은 리드 프레임을 구성하는 다이 패드의 두께를 부분적으로 얇게 만든 초박형 반도체 패키지를 제공한다. 본 발명에 따른 초박형 반도체 패키지는 리드 프레임을 포함하며, 리드 프레임은 다이 패드 주위에 배치되는 다수의 리드들을 포함한다. 다이 패드는 반도체 칩이 부착되는 칩 부착부와 그 둘레에 칩 부착부와 일체형으로 구성된 가장자리부를 구비한다. 칩 부착부는 두께(제1 두께)는 리드의 두께(제2 두께) 보다 더 작다. 또한, 본 발명의 초박형 반도체 패키지는 다이 패드에 부착되는 반도체 집적회로 칩과, 반도체 집적회로 칩에 각각의 리드를 전기적으로 연결하는 본딩 와이어와, 다이 패드와 반도체 집적회로 칩과 본딩 와이어와 각각의 리드의 안쪽을 밀봉하는 패키지 성형체를 포함한다.

<39> 특히, 본 발명의 초박형 반도체 패키지는 다이 패드의 제1 두께가 리드들의 제2 두께보다 작은, 바람직하게는, 반도체 패키지의 두께가 0.7mm 이하이며, 다이 패드의 제1 두께가 리드들의 제2 두께의 50% 이하 예컨대, 30~50% 범위이다.

<40> 본 발명의 초박형 반도체 패키지는 다이 패드의 양쪽면에 각각 부착되는 두 개의 반도체 집적회로 칩을 포함할 수 있으며, 다이 패드의 가장자리부에 연결되고 제3 두께를 가지는 적어도 두 개 이상의 타이 바를 포함할 수 있다. 타이 바의 제3 두께는 다이 패드 칩 부착부의 제1 두께와 같거나, 리드의 제2 두께와 같을 수 있다. 다이 패드 가장자리부는 두께가 칩 부착부와 동일하거나 리드의 두께와 동일하다. 다이 패드 가장자리부의 두께를 다이 패드 칩 부착부보다 더

크게하여 리드의 두께와 동일하게 하는 경우 다이 패드는 그 절단면의 모양이 가장자리부가 돌출된 옆으로 누운 'ㄷ'자 모양이다.

<41> 다이 패드 가장자리부의 돌출 방향이 패키지 성형체 두께 방향에 대해 아래쪽을 향하고 있는 경우에는 타이 바를 하향 굴곡하여 다이 패드가 패키지 성형체의 중앙에 위치하도록 하는 것이 바람직하다. 한편, 다이 패드 가장자리부의 돌출 방향이 패키지 성형체 두께 방향에 대해 위쪽을 향하고 있는 경우에는 리드가 패키지 성형체의 두께 방향에 대해 위쪽으로 치우친 상태로 배치되어 있는 것이 바람직하다.

<42> 본 발명의 다른 실시예에 따르면, 다이 패드는 적어도 두 부분 이상으로 분할된 제1 다이 패드와 제2 다이 패드를 포함하는데, 제1 다이 패드와 제2 다이 패드는 각각의 타이바, 칩 부착부, 가장자리부를 포함한다. 이 실시예에서 타이바, 칩 부착부, 가장자리부는 두께가 동일하고, 리드보다는 두께가 얇다.

<43> 본원의 제2 발명에 따른 초박형 반도체 패키지 소자 제조 방법은, (A) 다이 패드, 타이 바, 복수의 리드가 형성되어 있는 리드 프레임을 준비하는 단계와, (B) 상기 다이 패드에 칩 부착부와 그 둘레에 가장자리부를 정의하는 단계와, (C) 상기 칩 부착부를 식각하여 상기 리드보다 더 얇은 소정의 두께가 되도록 하는 칩 부착부 식각 단계와, (D) 상기 식각된 칩 부착부에 반도체 칩을 부착하는 다이 본딩 단계와, (E) 상기 반도체 칩을 리드와 전기적으로 연결하는 와이어 본딩 단계와, (F) 상기 반도체 칩과 본딩 와이어 및 리드 일부분을 몰딩하여 패키지 성형 몸체를 형성하는 단계를 포함한다. 칩 부착부 식각 단계에서 제거되는

양은 압력과 식각액의 분사 또는 침적 시간에 의해 결정된다. 패키지 성형 몸체 형성 단계는 예컨대, 170~175℃의 저온 공정인 것이 바람직하다.

<44> 본 발명에 따른 초박형 반도체 패키지 제조 방법은 복수의 반도체 칩이 형성되어 있고 활성면을 갖는 웨이퍼를 준비하는 단계와, 상기 웨이퍼의 밑면에 접착층을 부착하고 상기 접착층에 자외선 테이프를 부착하는 단계와, 상기 자외선 테이프에 자외선을 조사하여 상기 접착층과 자외선 테이프 사이의 접착력을 없애는 단계와, 상기 웨이퍼를 복수의 반도체 칩 단위로 절단하는 단계와, 상기 절단된 반도체 칩을 웨이퍼 상태의 자외선 테이프로부터 완전히 분리하는데, 상기 반도체 칩의 밑면에는 상기 접착층이 부착된 상태로 반도체 칩을 분리하는 단계를 더 포함한다.

<45> 다이 본딩 단계는 칩 부착부의 윗면에 반도체 칩을 부착하는 1차 다이 본딩 단계와, 칩 부착부의 밑면에 반도체 칩을 부착하는 2차 다이 본딩 단계를 포함하는데, 이 다이 본딩 단계에 사용되는 반도체 칩의 밑면에는 상기 웨이퍼 준비 단계에서 부착되었던 접착층이 존재하고 이 접착층에 의해 다이 본딩이 이루어진다.

<46> 한편, 와이어 본딩 단계는 칩 부착부의 윗면에 부착된 반도체 칩에 대한 1차 와이어 본딩 단계와 칩 부착부의 밑면에 부착된 반도체 칩에 대한 2차 와이어 본딩 단계를 포함하는데, 이 와이어 본딩 단계는 리드에 볼을 형성하고 반도체 칩의 전극 패드에 스티치를 형성하는 리버스 와이어 본딩인 것이 바람직하며, 칩 부착부의 윗면에 부착된 반도체 칩에 연결된 본딩 와이어와 칩 부착부의 밑면에 부착된 반도체 칩에 연결된 본딩 와이어의 길이를 서로 다르게 한다. 예컨대, 반

도체 칩과 리드의 단차가 작은 반도체 칩에 연결된 본딩 와이어의 길이가 더 짧다.

<47> 본 발명의 초박형 기술을 적용하면, 패키지 성형 몸체의 두께가 0.6mm인 적층 패키지를 구현하거나 두께가 0.48mm인 패키지(반도체 칩이 하나인 경우)를 구현할 수 있으며, 이 패키지는 메모리 카드와 같은 휴대용 전자 기기 등 얇은 두께를 요구하는 다양한 전자 기기에 적용될 수 있다.

<48> 이하, 첨부 도면을 참조하여 본 발명을 실시예 중심으로 상세하게 설명한다. 도면을 통틀어 동일한 도면 부호는 동일한 또는 대응되는 구성요소를 나타낸다. 도면은 본 발명의 실시예에 대한 이해를 돕기 위하여 간략하게 나타내었으며, 실제의 규격이나 치수를 그대로 반영한 것은 아니다.

<49> 도 2 내지 도 11을 참조로 본 발명에 따른 초박형 적층 패키지 소자의 구조에 대해 설명한다.

<50> 제1 실시예

<51> 도 2는 본 발명의 제1 실시예에 따른 초박형 반도체 패키지를 나타내는 일부 분해 평면도이다. 도 3a는 도 2의 III-III선 단면도이고, 도 3b는 도 3a의 부분 상세도이며, 도 4는 도 2의 IV-IV선 단면도이다.

<52> 도 2 내지 도 4에 도시된 바와 같이, 본 발명의 제1 실시예에 따른 초박형 반도체 패키지(100)는 다이 패드(112), 타이 바(114), 리드(116)로 구성되는 리드 프레임(110)을 사용한다. 다이 패드(112)는 패키지(100)의 중앙에 위치하며, 다이 패드(112)의 주위로 다수의 리드(116)들과 몇 개의 타이 바(114)가 배치된

다. 리드(116)들은 다이 패드(112)와 분리되어 있으나, 타이 바(114)는 다이 패드(112)에 연결되어 있다. 다이 패드(112)는 반도체 칩(120)이 부착되는 칩 부착부(112a)와 그 둘레에 칩 부착부(112a)와 일체형으로 구성된 가장자리부(112b)를 포함한다.

<53> 리드 프레임(110)의 양면 즉, 다이 패드(112) 칩 부착부(112a)의 상부면과 하부면에는 각각 상하부 반도체 집적회로 칩(120a, 120b)이 부착된다. 반도체 집적회로 칩(120)은 예컨대, 디램(DRAM), 플래시 메모리(flash memory)이거나, 비 메모리 IC 소자이다. 상부 반도체 칩(120a)과 하부 반도체 칩(120b)은 서로 동일한 종류의 동종(同種) 칩일 수도 있고, 서로 다른 종류의 이종(異種) 칩일 수도 있다. 예를 들어, 메모리 용량을 증가시키고자 할 때는 동종의 메모리 칩을 사용하여 패키지를 구성한다.

<54> 상하부 반도체 집적회로 칩(120)은 다이 패드(112)의 칩 부착부(112a)에 접착층(122)을 통해 부착되는데, 은-에폭시(Ag-epoxy)와 같은 접착제 또는 필름 형태의 접착 테이프가 접착층(122)으로 사용된다. 접착층(122)은 에폭시 계열의 수지로 된 필름형 접착 테이프인 것이 바람직하며, 웨이퍼 상태의 반도체 칩 밑면에 미리 부착되어 있던 것을 사용한다. 반도체 집적회로 칩(120)은 본딩 와이어(124)를 통하여 리드(116)들과 전기적으로 연결된다. 본딩 와이어(124)는 예컨대, 통상적인 금 와이어(Au wire)를 사용한다.

<55> 반도체 집적회로 칩(120)과 다이 패드(112)와 본딩 와이어(124) 등은 모두 패키지 성형체(126) 내부에 밀봉된다. 패키지 성형체(126)는 에폭시 화합물(epoxy compound)과 같은 성형 수지로 몰딩(molding)된 것이다. 반도체 패키지

(100)의 제조 과정에서 다이 패드(112)를 지지하는 타이 바(114)는 다이 패드가 장자리부(112b)에 연결되어 있고 패키지 성형체(126)의 내부에만 남게 된다. 반도체 패키지(100)와 외부 회로 기판(도시되지 않음) 간의 전기적, 물리적 매개체인 리드(116)는 본딩 와이어(124)에 의하여 반도체 집적회로 칩(120)과 연결되는 부분이 패키지 성형체(126) 내부에, 회로 기판에 연결되는 부분이 패키지 성형체(126) 외부에 위치한다. 성형체(126) 내부에 위치한 리드 부분을 내부 리드(116a)라 하며, 성형체(126) 외부에 놓인 리드 부분을 외부 리드(116b)라 한다. 외부 리드(116b)는 패키지 소자(110)를 외부 회로 기판에 실장하기에 적합한 형상 예컨대, 걸-윙(Gull-wing) 모양으로 절곡되어 있다.

<56> 본 발명의 특징 중 하나는 다이 패드(112) 칩 부착부(112a)의 두께(t_1)가 리드(116)의 두께(t_2)보다 작다는 점이다(도 3b 참조). 본 발명이 속하는 기술분야에 잘 알려져 있는 바와 같이, 패키지(100) 제조에 사용되는 리드 프레임(110)은 구리 또는 철-니켈 합금(예컨대, alloy42) 재질로 이루어진다. 나중에 설명하겠지만, 리드 프레임(110)은 박판(薄板) 형태의 리드 프레임 원판으로부터 제조되며, 에칭(etching) 또는 스탬핑(stamping) 방법으로 리드 프레임 원판을 패터닝(patterning)하여 다이 패드(112), 타이 바(114), 리드(116) 등을 형성한다. 그 밖에, 제조 완료된 패키지(100)에 포함되지 않기 때문에 도면에 도시하지는 않았지만, 패키지 제조 과정에서 특정 기능을 수행하는 댐 바(dam bar), 사이드 레일(side rail) 등이 리드 프레임(110) 제조 과정에서 형성된다.

<57> 리드 프레임(110)은 반도체 패키지(100)의 유형에 따라 그 두께가 다양하다. 또한, 반도체 패키지(100)의 박형화 추세에 맞추어 리드 프레임(110)의 두께

또한 계속 작아지고 있다. 그 결과, 예전에는 두께가 $300\mu\text{m}(=12\text{mil})$, $250\mu\text{m}(=10\text{mil})$, $200\mu\text{m}(=8\text{mil})$, $150\mu\text{m}(=6\text{mil})$ 인 리드 프레임들이 사용되었으나, 최근에는 두께가 $100\mu\text{m}(=4\text{mil})$ 수준으로 감소된 리드 프레임도 사용되고 있다. 본 실시예는 두께가 약 $100\mu\text{m}$ 수준까지 얇은 리드 프레임(110)을 사용하되, 다이 패드(112)의 두께(즉, 칩 부착부(112a)의 두께)를 리드 프레임(110) 전체 두께의 30~50% 예컨대, 약 40% 수준으로 얇게 만든다. 즉, 리드(116)의 두께(도 3b의 t_2)는 약 $100\mu\text{m}$ 이지만, 다이 패드(112)의 두께(도 3b의 t_1)는 약 $40\mu\text{m}$ 이다. 한편, 타이 바(114)는 두께가 다이 패드(112)의 두께와 같이 약 $40\mu\text{m}$ 이다(도 4 참조). 이 실시예에서, 다이 패드(112)의 칩 부착부(112a)는 가장자리부(112b)와 그 두께가 동일하다.

<58> 다이 패드(112)의 두께를 얇게 구현함으로써 그만큼 반도체 패키지(100)의 두께를 얇게 만들 수 있다. 본 실시예의 경우, 반도체 패키지(110)의 두께(도 3a의 T)는 약 0.58mm 이다. 도 3b를 참조하면, 접착층(122)의 두께는 각각 $10\sim 20\mu\text{m}$ 이고, 반도체 집적회로 칩(120)의 두께(t_3)는 각각 $100\sim 150\mu\text{m}$ 이며, 반도체 집적회로 칩(120)의 상부면으로부터 본딩 와이어(124)의 높이 또는 루프 높이(t_4)는 약 $80\mu\text{m}$ 이다.

<59> 본딩 와이어(124)의 루프도 패키지 소자의 전체 두께에 영향을 미치기 때문에, 반도체 집적회로 칩(120)과 리드(116) 간의 와이어 본딩은 소위 리버스 본딩(reverse bonding) 방법을 사용한다. 리버스 본딩이란, 전형적인 와이어 본딩 방법과 같이 칩 전극 단자(128)에서 먼저 볼 본딩(ball bonding)을 하고 리드(116) 쪽으로 와이어(124)를 끌어당긴 후 리드(116)에서 스티치 본딩(stitch

bonding)을 하는 것이 아니라, 리드(116)에서 먼저 볼 본딩을 하고 반도체 칩(120) 쪽으로 와이어(124)를 끌어당긴 후 칩 전극 단자(128)에서 스티치 본딩을 하는 것이다. 이렇게 함으로써, 전형적인 와이어 본딩에서의 와이어 높이(약 150 μm)가 리버스 본딩에서는 절반 수준(약 80 μm)으로 줄어들게 된다. 한편, 칩 전극 단자(128)의 상부에는 리버스 본딩 공정에서 반도체 칩(120)에 미치는 충격을 완화시키기 위하여 금속 범프(도시하지 않음)가 형성될 수 있다.

<60> 다이 패드(112)의 두께를 얇게 하는 방법은 리드 프레임(110)의 제조 과정에서 다이 패드(112)의 양쪽 면을 각각 부분적으로 제거하는 방법과 한쪽 면만을 부분적으로 제거하는 방법이 있다. 여기서, '부분적으로 제거한다'는 것은 일정한 깊이만큼 다이 패드를 제거하는 것을 말하며 완전히 제거하지는 않는다는 의미이다. 본 실시예는 다이 패드(112)의 양쪽 면을 부분적으로 제거하여 두께를 줄인 예이고, 후술하는 제2 실시예와 제3 실시예는 한쪽 면만을 부분 제거한 예이다. 전술했듯이, 패키지 제조 공정에서 다이 패드(112)는 타이 바(114)에 의하여 지지된다. 따라서, 다이 패드(112)를 얇게 하더라도 리드 프레임(110) 전체의 물리적인 강도에는 그다지 영향을 미치지 않는다. 또한, 리드 프레임(110)을 제조하는 기존의 장치와 공정을 그대로 이용할 수 있는 장점도 있다.

<61> 한편, 다이 패드(112)의 한쪽 면만을 부분적으로 제거하게 되면, 다이 패드(112)가 리드(116)의 중간 부분(두께 방향으로)에 위치하는 것이 아니라, 리드(116)의 상부면 또는 하부면과 일치하게 된다. 즉, 다이 패드(112)는 패키지 성형체(126)의 두께 방향으로 정중앙에 위치하지 않고 상부쪽 또는 하부쪽으로 약간 치우치게 된다. 이는 상하부 반도체 집적회로 칩(120a, 120b) 각각의 활성

면(active surface, 즉, 칩 전극 패드가 형성되어 있는 면)을 기준으로 패키지 성형체(126)의 상부쪽과 하부쪽의 두께가 달라짐을 의미하며, 패키지 성형체(126)를 형성하는 몰딩 공정에서 불완전 성형을 초래할 수 있다.

<62> 제2 실시예 및 제3 실시예

<63> 따라서, 다이 패드의 한쪽 면만을 부분적으로 제거하여 다이 패드의 두께를 얇게 구현할 경우, 다이 패드의 위치를 조절하거나 다이 패드의 위치를 기준으로 패키지 성형체를 상하 비대칭으로 형성함으로써, 다이 패드에 대한 패키지 몸체 상하 대칭 구조를 실현한다. 전자는 제2 실시예이며, 후자는 제3 실시예이다. 본 실시예들에 해당하는 도면은 도 5와 도 6이며, 도 5의 단면도는 본 발명의 제2 실시예에 따른 초박형 반도체 패키지(200)를, 도 6의 단면도는 본 발명의 제3 실시예에 따른 초박형 반도체 패키지(300)를 각각 나타내고 있다. 도 5는 도 4에 대응하는 단면도이며, 도 6은 도 3a에 대응하는 단면도이다.

<64> 먼저 도 5를 참조하여 제2 실시예를 설명하면, 다이 패드(212)가 타이 바(214)로부터 패키지 성형체 두께 방향에 대해 소정의 거리(d)만큼 아래쪽에 배치된다. 즉, 다이 패드(212)는 리드 프레임(210)이 이루는 수평면으로부터 소위 다운 셋(down set) 가공된다. 따라서, 한쪽 면만을 부분 제거하여 다이 패드(212)를 형성하더라도 패키지 성형체(126)의 두께 방향으로 정중앙에 다이 패드(212)를 위치시킬 수 있다. 즉, 상부 반도체 칩(120a)의 활성면에서 패키지 성형체(126) 윗면까지의 거리 d1은 하부 반도체 칩(120b)의 활성면에서 패키지 성형체(126) 밑면까지의 거리 d2와 동일하다. 다운셋의 크기 d는 반도체 칩의 두께, 리

드의 두께, 다이 패드의 두께, 패키지 두께 등에 따라 정해지며, 상하부 칩이 두께가 서로 동일한지 다른지에 따라 달라질 수 있다.

<65> 이어서 도 6을 참조하여 제3 실시예를 설명하면, 다이 패드(312)의 위치를 기준으로 패키지 성형체(126)가 형성된다. 다시 말해서, 패키지 성형체(126)는 리드(316)를 기준으로 그 상하부 두께가 같아지도록 형성하는 것이 일반적인데 반하여, 본 실시예의 패키지 성형체(126)는 다이 패드(312)를 기준으로 그 상하부 두께가 동일하도록 형성한다. 즉, 다이 패드(312)가 패키지 성형체(126)의 두께 방향으로 정중앙에 위치할 수 있도록, 패키지 성형체(126)의 리드(316) 위쪽 부분의 두께(t5)와 리드(316) 아래쪽 부분의 두께(t6)를 다르게 형성한다. 따라서, 리드 프레임(310)의 리드(316)를 기준으로 보았을 때, 소위 비대칭 성형(unbalanced molding)이 이루어진다. 이러한 비대칭 성형은 예컨대, 상하부 금형의 캐비티(cavity)의 크기를 다르게 함으로써 구현될 수 있다.

<66> 제4 실시예

<67> 한편, 타이 바는 다이 패드 가장자리부와 두께가 동일하다. 다이 패드 가장자리부는 다이 패드 칩 부착부와 두께가 동일하거나 또는 리드와 두께가 동일할 수 있다. 이는 다이 패드를 부분적으로 제거할 때 다이 패드와 타이 바도 함께 제거하느냐 하지 않느냐의 차이이다. 전술한 제1 실시예는 다이 패드 가장자리부(112b)가 타이 바(114) 및 칩 부착부(112a)와 두께가 모두 동일한 경우이며(도 4 참조), 이번에 설명할 제4 실시예는 가장자리부와 타이 바가 리드와 동일한 두께를 가지는 경우이다. 도 7a와 도 7b는 본 발명의 제4 실시예에 따른 초박형 반도체

체 패키지(400)를 나타내는 단면도이다. 도 7a는 도 3에 대응되는 단면도이며, 도 7b는 도 4에 대응되는 단면도이다.

<68> 도 7a와 도 7b에 도시된 바와 같이, 다이 패드(412)는 반도체 집적회로 칩(120)이 부착되는 칩 부착부(412a)와 타이 바(414)에 연결되는 가장자리부(412b)를 포함한다. 이 때, 다이 패드(412)의 칩 부착부(412a)는 부분 제거되어 두께가 얇지만, 다이 패드(412)의 가장자리부(412b)와 타이 바(414)는 제거되지 않는다. 따라서, 다이 패드(412)의 중앙부(412a)를 제외한 리드 프레임(410)의 나머지 부분들, 즉, 다이 패드(412)의 가장자리부(412b)와 타이 바(414)와 리드(416)들은 모두 동일한 두께를 가진다. 사실상, 반도체 집적회로 칩(120)과 접촉되는 다이 패드(412)의 칩 부착부(412a)만이 패키지(400)의 박형화에 기여함을 감안하면, 다이 패드(412)의 가장자리부(412b)와 타이 바(414)의 두께를 그대로 유지함으로써, 타이 바(414)에 의한 다이 패드(412)의 지지 기능을 안정적으로 구현할 수 있다.

<69> 제5 실시예

<70> 도 8 내지 도 10에 나타난 반도체 패키지 소자는 다이 패드의 한쪽면을 부분적으로 제거함으로써, 다이 패드와 리드의 두께를 서로 다르게 한 적층 패키지 소자의 구현예이다.

<71> 도 8에 도시한 실시예에 따른 적층 패키지 소자(500)는 다이 패드(512)의 칩 부착부(512a) 양쪽에 상부 반도체 칩(120a)과 하부 반도체 칩(120b)이 각각 접착제(122)를 통해 부착된다. 다이 패드(512)의 가장자리부(512b)는 두께가 칩

부착부(512a) 보다는 더 크고, 리드(516) 측, 내부 리드(516a)의 두께와 동일하다. 칩 부착부(512a)의 두께는 가장자리부(512b) 두께의 예컨대, 약 30~50% 범위에 있다. 따라서, 다이 패드(512)는 그 절단면의 모양이 가장자리부(512b)가 돌출된 옆으로 누운 'ㄷ'자 모양인데, 돌출 방향이 패키지 성형체(526) 두께 방향에 대해 위쪽 측, 상부 반도체 칩(120a)을 향하도록 되어 있다.

<72> 한편, 패키지 몸체(526)를 형성하는 공정 예컨대, 주입 성형(injection molding) 공정에서는 다이 패드를 기준으로 상하 대칭 구조를 실현하는 것이 바람직하다. 이를 위해, 내부 리드(516a)를 기준으로 패키지 몸체(526)의 상부 두께 D1와 하부 두께 D2를 다르게 하여, 상부 칩(120a)과 하부 칩(120b)이 패키지 성형 몸체(526)의 위아래 면에서 동일한 거리 d만큼 떨어지게 할 수 있다. 예컨대, 패키지 성형체(526)의 두께가 $580\mu\text{m}$, 상하부 반도체 칩(120a, 120b)의 두께가 $120\mu\text{m}$ 이고, 접착제층(122)의 두께가 $20\mu\text{m}$ 이며, 내부 리드(516a)의 두께가 $100\mu\text{m}$, 다이 패드 칩 부착부(512a)의 두께가 $40\mu\text{m}$ 인 경우, 두께 D1은 $205\mu\text{m}$ 이고 D2는 $275\mu\text{m}$ 이며, 거리 d는 모두 $135\mu\text{m}$ 이다.

<73> 반도체 칩(120a, 120b)는 모두 도 9에 도시한 것처럼, 내부 리드(516a)와 리버스 본딩 와이어(524)에 의해 전기적으로 연결되어 있다. 리버스 본딩 와이어(524)는 내부 리드(516a) 표면에 본딩된 볼(ball)과 반도체 칩(120)의 전극 패드(534)에 본딩된 스티치(stitch)를 포함한다. 볼(ball)과 스티치(stitch)는 통상적인 와이어 본딩 공정에서 사용되는 캐필러리(capillarity)에 의해 형성된다. 반도체 칩의 전극 패드(534)에는 볼이 형성되지 않기 때문에 전극 패드 위에 루프가 필요없다. 와이어의 루프는 내부 리드(516a)에 본딩된 볼(ball) 바로 위에서

필요하지만, 내부 리드(516a)는 상하부 반도체 칩(120a, 120b)의 활성면(540)으로부터 패키지 성형체(526)의 중앙쪽으로 치우쳐 배치되어 있기 때문에 와이어 루프는 패키지 성형체(526)의 전체 두께 증가에 영향을 미치지 않는다.

<74> 한편, 상부 반도체 칩(120a)에 연결된 본딩 와이어(530)는 하부 반도체 칩(120b)에 연결된 본딩 와이어(532)보다 길이가 더 짧은 것이 바람직하다. 와이어(530, 532)의 본딩성(bondability)은 칩 전극 패드와 리드의 단차에 비례(루프 높이에 대한 여유를 확보할 수 있으므로)하고, 전극 패드와 리드의 거리에 반비례한다. 따라서, 리드(516a)와의 단차가 작은 상부 반도체 칩(120a)에 연결되는 본딩 와이어(530)의 길이를 짧게 하여 본딩성을 보장해 주는 것이 좋다.

<75> 제6 실시예

<76> 도 10에 도시한 구조(600)는 제5 실시예와 마찬가지로 다이 패드(612a)의 한쪽면을 부분적으로 제거함으로써, 다이 패드와 리드의 두께를 서로 다르게 한 적층 패키지 소자의 구현예이다. 다이 패드 칩 부착부(612a)의 두께는 다이 패드 가장자리부(612b) 및 내부 리드(616a) 두께의 예컨대, 30~50% 범위로 더 얇다. 가장자리부(612b)와 내부 리드(616a)는 두께가 동일하다.

<77> 제5 실시예에 따른 패키지 소자(500)와의 차이점은, 다이 패드(612)의 그 절단면의 모양이 가장자리부(612b)가 칩 부착부(612a)보다 돌출되어 있고, 돌출 방향이 패키지 성형체(626) 두께 방향에 대해 아래쪽 즉, 하부 반도체 칩(120b)을 향하도록 되어 있다는 점이다. 한편, 이 제6 실시예에서는 패키지 몸체 성형 공정에서 다이 패드를 기준으로 상하 대칭 구조를 실현하기 위하여, 타이 바를 소정의 크기만큼 다운셋 가공하는 것이 필요하다. 타이 바의 다운셋 가공은 예컨

대, 도 5의 단면도로 나타낸 것처럼 다이 패드를 타이 바로부터 패키지 성형체 두께 방향에 대해 소정의 거리 dd만큼 아래쪽에 배치하는 것이다.

<78> 이 실시예에서 예컨대, 패키지 성형체(626)의 두께가 $580\mu\text{m}$, 상하부 반도체 칩(120a, 120b)의 두께가 $120\mu\text{m}$ 이고, 접착제층(122)의 두께가 $20\mu\text{m}$ 이며, 내부 리드(616a)의 두께가 $100\mu\text{m}$, 다이 패드 칩 부착부(612a)의 두께가 $40\mu\text{m}$ 인 경우, 상부 반도체 칩(120a)에서 패키지 성형체(626) 윗면까지의 거리 d는 하부 반도체 칩(120b)에서 패키지 성형체(626) 밑면까지의 거리 d와 $135\mu\text{m}$ 로 동일하다. 한편, 다운셋 가공의 크기 dd는 $25\mu\text{m}$ 로 하여, 내부 리드(616a) 상하부의 패키지 성형체 두께 D를 동일하게 하고, 다이 패드(612)를 기준으로 상하 대칭 구조를 실현한다.

<79> 이 실시예에서, 상부 칩(120a)에 연결된 본딩 와이어(632)가 하부 칩(120b)에 연결된 본딩 와이어(630)보다 길이가 더 긴데, 그 이유는 와이어 본딩 공정에서 1차 와이어 본딩과 2차 와이어 본딩을 진행할 때 반도체 칩을 지지하는 구조에 의한 것이기도 하고, 와이어의 본딩성을 향상시키기 위한 것이기도 하다.

<80> 제7실시예

<81> 한편, 본 발명에 적용되는 다이 패드는 적어도 두 부분 이상으로 분할될 수 있다. 제7실시예가 그러한 예에 해당되며, 도 11a와 도 11b는 이러한 실시예에 따른 초박형 반도체 패키지(700)를 나타내고 있다. 도 11a는 평면도이며, 도 11b는 도 11a의 IXB-IXB 선을 따라 절단한 단면도이다.

<82> 도 11a와 도 11b에 도시된 바와 같이, 다이 패드(712)는 두 부분으로 분할된 제1 다이 패드(720)와 제2 다이 패드(730)를 포함하는데, 필요한 경우 2개 이상으로 분할될 수도 있다. 분할된 각각의 다이 패드(720, 730)는 각각의 타이바(740, 750)에 연결되어 있으며, 반도체 집적회로 칩(120)은 접착층(122)을 통하여 제1 다이 패드(720)와 제2 다이 패드(730)에 동시에 부착된다.

<83> 이 실시예와 같이 다이 패드를 제1 다이 패드(720)와 제2 다이 패드(730)으로 분할하면, 반도체 집적회로 칩(120)을 부착하여 지지하는 다이 패드(720, 730)의 원래 기능은 잃지 않으면서, 패키지 성형체(726) 내부에서 다이 패드가 차지하는 면적은 줄어든다. 따라서, 다이 패드(720, 730)와 나머지 구성요소들(예를 들어, 패키지 성형체(726), 반도체 집적회로 칩(120), 접착층(122)) 간의 열팽창계수 차이로 인하여 발생할 수 있는 신뢰성 저하의 문제(예를 들어, 계면 박리, 패키지 성형체의 균열)가 대폭 해소될 수 있다. 이러한 관점에서, 본 발명의 초박형 반도체 패키지는 분할된 다이 패드 이외에도 반도체 집적회로 칩보다 크기가 작은 소형 다이 패드를 사용하는 것도 가능하다.

<84> 제7 실시예에 따른 패키지 소자(700)에서 제1 다이 패드(720)와 제2 다이 패드(730)는 각각 칩 부착부(720a, 730a)와 가장자리부(720b, 730b)를 구비하는데, 칩 부착부(720a, 730a)의 두께는 리드 프레임 리드(716) 두께의 예컨대, 30~50% 범위로 더 얇다. 도 11a와 도 11b에는 다이 패드 가장자리부(720b, 730b)의 두께가 다이 패드 칩 부착부(720a, 730a)와 동일한 구조가 나타나 있지만, 제 4 내지 제6 실시예와 같이 가장자리부의 두께를 리드와 동일하게 하는 것도 가능하다.

<85> 초박형 패키지 소자의 제조 방법

<86> 다음으로 도 12와 도 13을 참조로 본 발명에 따른 초박형 패키지 소자 제조 방법에 대해 설명한다.

<87> 도 12a 내지 도 12f는 본 발명에 따른 초박형 패키지 소자를 제조하는 공정에서 리드 프레임의 다이 패드를 부분적으로 얇게 만드는 방법을 설명하기 위한 부분 단면도이다. 여기서 설명하는 것은 예컨대, 도 8과 도 10을 참조로 설명한 제5 실시예와 제6 실시예의 패키지 구조에 사용하기에 적합한 다이 패드 구조 즉, 다이 패드 가장자리부가 다이 패드 칩 부착부보다 돌출되어 있는 다이 패드 구조를 중심으로 설명한다. 그러나, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 다른 실시예에 따른 다이 패드 구조도 이하에서 설명하는 공정을 변형 적용하여 쉽게 구현할 수 있다는 것을 이해할 수 있을 것이다.

<88> 먼저, 구리 합금이나 철-니켈 합금으로 된 리드 프레임을 원판을 준비한다. 도 12a에는 리드 프레임의 다이 패드 영역(802)을 나타낸다. 다이 패드 영역(802)은 예컨대, 두께가 100 μ m이다.

<89> 도 12b를 참조하면, 다이 패드 영역(802) 양면에 포토 레지스트(804, 806; photo-resistor)를 예컨대, 두께 7.0 μ m~10.0 μ m로 전체적으로 도포한다. 포토 레지스터(804, 806)가 도포된 다이 패드 영역(802) 아래 위에 도 10c에 도시한 바와같이 마스크(810, 812)를 정렬하고 노광한다. 마스크(810, 812)에는 소정의 패턴이 형성되어 있는데, 예컨대, 마스크(810)의 검은 패턴(811)은 빛(813)을 반사하고 나머지 흰색 패턴은 빛을 투과한다.

<90> 노광이 끝난 시료를 현상하면, 빛을 받지 못한 위치의 레지스터는 제거된다. 남은 부분의 레지스터를 예컨대, 크롬(Cr)으로 경막 처리하면, 도 12d와 같이 다이 패드 영역(802) 윗쪽에 가장자리 패턴(804a)과 다이 패드 영역(802) 아래쪽에 레지스터 패턴(806a)이 남아 있는 구조를 얻는다. 이것을 예컨대, 식각액을 분사하거나 식각액에 침적하여 에칭하면, 도 12e와 같이 레지스터 패턴(804a, 806a)에 노출된 부분이 부분적으로 제거된다. 다이 패드 영역(802)을 선택적으로 제거할 때 제거되는 양은 압력과 부식액의 침적 또는 분사 시간에 따라 결정된다. 레지스터 패턴을 제거하면, 도 12f에 나타낸 것처럼, 다이 패드의 침부착부(820)가 가장자리부(830)보다 두께가 더 얇은 구조의 다이 패드가 형성된다.

<91> 리드 프레임의 나머지 구성 즉, 내부 리드와 외부 리드 및 타이 바, 사이드 레일 등은 에칭되지 않으므로, 다이 패드 가장자리부(830)와 두께가 동일하다.

<92> 도 13a 내지 도 13i는 본 발명에 따른 초박형 반도체 패키지 소자를 예컨대, 도 12a 내지 도 12f에 의해 제조된 리드 프레임에 실장하여 패키징하는 과정을 나타내는 단면도이다.

<93> 도 13a에 나타낸 것처럼, 웨이퍼 제조 공정(wafer fabrication)을 통해 원하는 복수의 IC 소자가 형성되어 있으며, 활성면(903)에 자외선 테이프(904)가 부착되어 있는 웨이퍼(902)를 준비한다. 여기서, 자외선 테이프(904, 906)는 자외선이 조사되면 접착력이 거의 없어지는 테이프를 말하는데, 웨이퍼 활성면(903)에 부착되어 있는 자외선 테이프(904)는 충격과 진동을 흡수함으로써, 전처리 공정 예컨대, 웨이퍼 후면 연마 공정에서 웨이퍼가 파손되는 것을 방지하고,

웨이퍼에서 테이프를 제거할 때 접착 잔류물이 웨이퍼 표면에 남거나 웨이퍼에 충격이 전해지는 것을 방지하기 위한 것이다. 후면 연마가 된 웨이퍼(902)의 밑면(즉, 활성면의 반대면)에 자외선 테이프(906)를 접착층(908)을 통해 부착한다. 이 자외선 테이프(906)도 자외선이 조사되면 접착력이 사라지는 성질이 있으며, 웨이퍼 밑면에 직접 부착되지 않고 또 다른 접착층(908)을 통해 웨이퍼에 부착되어 있다.

<94> 접착층(908)은 에컨대, 에폭시(epoxy) 계열의 수지(resin)으로 구성된 필름형 접착 테이프인 것이 바람직하다. 접착층(908)은 경막제(hardener)와 결합제(coupling agent)를 포함하는데, 경막제는 에컨대 아민(amine)이고 결합제는 에컨대, 실란(silane)이다.

<95> 도 13a에 도시한 것처럼, 자외선 램프 등을 통해 웨이퍼(902)의 활성면(903)에 자외선을 조사하는 1차 자외선 조사 단계를 진행하면, 웨이퍼 활성면(903)에 부착된 자외선 테이프(904)는 접착력을 잃고 웨이퍼(902)에 충격을 주거나 잔류물을 남기지 않고 웨이퍼 활성면(903)으로부터 쉽게 떨어진다. 도 13a의 1차 자외선 조사 단계는 본 발명에 따른 초박형 반도체 패키지 소자 제조 공정에서 선택적 단계로서 생략하는 것도 가능하다.

<96> 도 13b에 도시한 것처럼 자외선 테이프(904)가 제거된 웨이퍼(902)의 밑면에 다시 자외선을 조사하는 2차 자외선 조사 단계를 진행한다. 그러면, 자외선 테이프(906)는 접착층(908)과의 접착력이 약해지고 접착층(908)으로부터 쉽게 제거될 수 있는 상태로 된다.

<97> 이 상태에서 도 13c에 도시한 것처럼, 절단 수단(912) 예컨대, 고속으로 회전하는 다이아몬드 휠(diamond wheel)을 이용하여 웨이퍼(902)를 절단하는 웨이퍼 절단(sawing) 단계를 진행하여 웨이퍼를 개별 칩(910)으로 분리한다. 분리된 개별 칩(910)의 밑면에는 접착층(908)이 부착되어 있고, 이 접착층(908)은 자외선 테이프(906)에 의해 연결되어 있기 때문에, 개별 칩(910)들은 전체적으로는 웨이퍼의 형상을 유지하고 있다.

<98> 도 13d를 참조하면, 웨이퍼 형상을 유지하면서 분리되어 있는 개별 칩(910)들을 예컨대, 진공 픽업 수단(920, pickup means)으로 흡착하여 웨이퍼로부터 완전히 분리한다(다이 픽업 단계). 앞에서 설명한 것처럼, 자외선 테이프(906)는 접착층(908)과의 접착력을 잃은 상태이기 때문에, 개별 칩(910)들은 자외선 테이프(906)로부터 쉽게 분리될 수 있다. 한편 완전 분리된 개별 칩(910)의 밑면에는 접착층(908)이 부착되어 있는 상태이다.

<99> 도 13e를 참조하면, 접착층(908)이 밑면에 부착되어 있는 개별 칩(910)을 예컨대, 도 12를 참조로 설명한 공정으로 제조된 리드 프레임(930)의 다이 패드(932)에 부착하는 1차 다이 본딩 단계를 진행한다. 리드 프레임(930)은 다이 패드(932)와 리드(938)를 포함하며, 다이 패드(932)는 칩 부착부(934)와 가장자리부(936)를 포함한다. 가장자리부(936)는 칩 부착부(934)로부터 돌출되어 있으며, 리드(938)와 두께가 동일하다. 칩 부착부(934)는 두께가 가장자리부(936) 두께의 30~50%의 범위이다.

<100> 웨이퍼에서 분리된 개별 칩은 칩 부착부(934)의 윗면에 부착되므로 이것을 상부 칩(910a)이라 한다. 여기서, 칩 부착부(934)의 윗면은 가장자리부(936)의

돌출 방향과 동일한 방향에 위치하는 면을 말한다. 상부 칩(910a)의 밑면에는 접착층(908)이 부착되어 있으므로 다이 본딩을 위한 별도의 접착제 도포 공정을 진행하지 않고 상부 칩(910a)을 다이 패드에 본딩할 수 있다.

<101> 다음으로, 도. 13f에 도시한 것처럼, 다이 패드 칩 부착부(934)의 밑면에 하부 반도체 칩(910b)을 부착하는 2차 다이 본딩 단계를 진행한다. 하부 반도체 칩(910b)에도 밑면에 접착층(908)이 붙어 있기 때문에, 2차 다이 본딩을 위한 별도의 접착제 도포 공정을 진행하지 않고 하부 칩(910b)을 다이 패드에 본딩할 수 있다.

<102> 다이 본딩에서 상부 칩을 먼저 본딩하느냐 하부 칩을 먼저 본딩하느냐는 중요하지 않다.

<103> 도 13g를 참조하면, 리드 프레임(902)을 지지대(940a) 위에 정렬 고정하고, 상부 칩(910a)과 리드 프레임 리드(938)를 본딩 와이어(942)로 전기적으로 연결하는 1차 와이어 본딩 단계를 진행한다.

<104> 그 다음 도 13h에 도시한 것처럼, 리드 프레임(902)을 지지대(940b)에 정렬 고정된 다음 하부 칩(910b)과 리드 프레임 리드(938)를 본딩 와이어(945)로 전기적으로 연결하는 2차 와이어 본딩 단계를 진행한다.

<105> 와이어 본딩 단계에서 상부 칩과 하부 칩 어느 것을 먼저 하느냐는 중요하지 않다. 다만, 와이어(942, 945)의 본딩성(bondability)를 고려하여, 상부 칩(910a) 즉, 가장자리부(936)의 돌출 방향으로 배치된 반도체 칩에 연결된 본딩 와이어(942)의 길이를 더 짧게 하는 것이 바람직하다. 왜냐하면, 상부 칩(910a)

의 활성면에서 가장자리부(936)까지의 단차가 하부 칩(910b)에 대한 단차보다 더 작기 때문이다.

<106> 1차 및 2차 와이어 본딩 단계는 리드 프레임 리드(938)에 볼을 형성하고 캐필러리(capillery)로 와이어를 칩쪽으로 끌어서 칩의 전극 패드에 와이어를 스티치 본딩하는 리버스 와이어 본딩 단계인 것이 바람직하다.

<107> 도 13i에 도시한 것처럼, 2차 와이어 본딩이 완료된 구조를 주입 성형 공정 등을 통해 몰딩하여 패키지 성형 몸체(950)를 형성하고 성형 몸체(950) 외부에 놓인 리드(938)를 적절한 형태로 절곡하면, 본 발명에 따른 초박형 반도체 패키지의 소자가 완료된다.

<108> 본 발명에 따른 패키지는 두께가 매우 작기 때문에, 성형체의 경화 속도가 매우 빠르다. 따라서, 도 13i의 몰딩 단계는 저온 공정인 것이 바람직하다. 예컨대, 170~175℃ 온도 범위에서 몰딩 공정을 진행한다.

<109> 적용예

<110> 본 발명에 따른 초박형 반도체 패키지 소자는 디지털 카메라나 엠펙3 플레이어(MP3 player), HPC (Handheld Personal Computer), PDA (Personal Digital Assistants), 휴대폰 등과 같은 다양한 휴대용 전자 기기에 널리 적용될 수 있다.

<111> 도 14a와 도 14b는 본 발명에 따른 초박형 반도체 패키지가 집적된 메모리 카드의 일례를 나타낸다. 도 14a는 메모리 카드의 평면도이고, 도 14b는 도 14a의 선 14b-14b를 따라 절단한 단면도이다.

<112> 메모리 카드는 주로 플래시(flash) 메모리를 이용한 카드 형태로 구현되는데, 현재 일본 도시바(Toshiba)사를 주축으로 한 스마트미디어(SmartMedia), 일본 소니(Sony)사의 메모리스틱(MemoryStick), 미국 샌디스크(Sandisk)사의 컴팩 플래시(CompactFlash), 미국 샌디스크사와 독일 지멘스(Gimens)사가 공동 개발한 멀티미디어 카드(MultiMedia Card), 보안 디지털 카드(Secure Digital Card) 등이 표준화되어 있다. 도 14에 나타낸 것은 일본 소니사의 메모리스틱 듀오(MemoryStick Duo)이다.

<113> 메모리 카드(960)는 주기판(967)과 이 기판에 형성된 단자 패드(961), 콘트롤러 실장부(962), 수동 소자 실장부(963), 메모리 실장부(965)를 포함한다. 메모리 실장부(965)는 다른 영역과 분리대(965; interposer)에 의해 구분된다. 메모리스틱 듀오 카드(960)의 규격은 길이(L)가 31.0mm, 폭(W)이 20.0mm, 높이가 1.6mm이다. 메모리 소자가 실장되는 메모리 실장부(965)는 길이(L1)가 12mm, 폭(W1)이 18mm이다. 도 14b에서 보는 것처럼, 분리대(965)는 높이(H)가 최대 0.7mm인데, 앞의 여러 실시예에서 설명한 바와 같이 본 발명에 따른 초박형 반도체 패키지(1000)는 그 두께가 0.58mm이므로, 외부 리드를 고려하더라도 분리대(965)의 최대 높이 0.7mm를 넘지 않고, 메모리 카드(960)의 메모리 실장부(965)에 적용될 수 있다. 따라서, 메모리 카드의 소형화를 달성하면서도 메모리 카드의 용량을 2배 이상으로 높이는 것이 가능하다.

<114> 한편, 본 발명에 따른 반도체 패키지 박형화 기술은 반도체 집적회로 칩을 하나만 사용하는 패키지 소자에도 적용할 수 있다. 도 15와 도 16은 그러한 예를

보여주고 있다. 도 15의 패키지는 도 8의 패키지에 대응하고 도 16의 패키지는 도 10의 패키지에 대응된다.

<115> 도 15에 도시된 바와 같이, 반도체 패키지(550)는 한 개의 반도체 집적회로 칩(120)만을 포함하며, 반도체 집적회로 칩(120)이 부착되는 다이 패드(572)의 칩 부착부(572a)는 가장자리부(572b)보다 두께가 더 얇은데, 칩 부착부(572a)의 두께가 가장자리부(572b) 두께의 약 30~50%인 것이 바람직하다. 다이 패드 가장자리부(572b)는 리드(516)와 두께가 동일하다. 가장자리부(572b)는 칩 부착부(572a)보다 칩(120)쪽으로 돌출되어 있으며, 리드(516)를 중심으로 상하 대칭 구조를 실현하기 위해 다이 패드는 다운셋 가공되어 있다. 예를 들어서, 칩(120)의 두께가 $120\mu\text{m}$, 접착제(122)의 두께가 $20\mu\text{m}$, 리드(516)의 두께가 $100\mu\text{m}$ 인 경우, 칩 부착부(572a)의 두께는 $40\mu\text{m}$ 이고, 리드 상하의 패키지 성형체(580) 두께가 $185\mu\text{m}$ 로 동일하다. 따라서, 패키지(550)의 전체 두께는 $470\mu\text{m}$ 이며, 다이 패드 다운셋은 $40\mu\text{m}$ 이다.

<116> 한편, 도 16의 패키지(650) 실시예와 같이, 다이 패드 가장자리부(672b)가 칩 부착부(672a)로부터 아래쪽으로 돌출된 경우, 즉, 반도체 칩(120) 반대쪽으로 돌출된 경우, 다이 패드(672) 윗면을 리드(670)의 윗면과 일치시키고 리드(670)를 기준으로 비대칭 몰딩을 하여 패키지 성형체(680)를 형성한다. 이 실시예에서, 다이 패드(672) 면의 위쪽에 반도체 칩(120)이 접착제(122)를 통해 부착되어 있다. 예를 들어서, 칩(120)의 두께가 $120\mu\text{m}$, 접착제(122)의 두께가 $20\mu\text{m}$, 리드(670)의 두께가 $100\mu\text{m}$, 칩 부착부(672a)의 두께가 $40\mu\text{m}$ 인 경우, 리드(670) 위쪽의 성형체(680) 두께는 $285\mu\text{m}$ 이고, 리드(670) 아래쪽의 성형체(680) 두께는 $85\mu\text{m}$

이다. 그러나, 반도체 칩(120)의 활성면으로부터 성형체(680) 윗면까지의 거리와 칩 부착부(672b) 아래면에서 성형체(680) 밑면까지의 거리는 동일하여 상하 대칭 구조가 실현된다.

<117> 이와 같이 본 발명의 박형화 기술을 적용하면 두께가 0.5mm 이하인 초박형 패키지 소자를 구현할 수 있다.

【발명의 효과】

<118> 이상 몇가지 실시예를 통하여 설명한 바와 같이, 본 발명에 따른 초박형 반도체 패키지는 다음과 같은 여러 효과와 장점을 가지고 있다.

<119> 본 발명의 초박형 반도체 패키지는 0.7mm 이하의 두께 예컨대, 0.58mm 또는 0.47mm를 구현할 수 있다. 또한, 이와 같이 극히 얇은 두께의 구현이 가능함에도 불구하고 반도체 패키지의 물리적 신뢰성이 우수하고 공정 관리가 용이하다.

<120> 즉, 본 발명의 초박형 반도체 패키지는 다이 패드의 두께를 축소하여 반도체 패키지의 박형화를 구현하기 때문에, 패키지 제조 공정의 측면에서나 완성된 패키지 구조의 측면에서나 공정 신뢰성 또는 패키지 신뢰성에 영향을 받지 않는다. 아울러, 다이 패드의 두께를 줄이는 방법은 기존의 리드 프레임 제조 장치와 공정을 그대로 이용할 수 있으므로 추가적인 비용 투자가 필요없다.

<121> 또한, 본 발명의 초박형 반도체 패키지는 다이 패드의 다운 셋 가공 또는 패키지 성형체의 비대칭 몰딩을 통하여 불완전 성형을 방지할 수 있다.

- <122> 또한, 본 발명의 초박형 반도체 패키지는 다이 패드의 가장자리부와 타이 바를 제외하고 다이 패드의 칩 부착부만 부분적으로 제거함으로써 타이 바에 의한 다이 패드의 지지 기능을 안정적으로 구현할 수 있다.
- <123> 또한, 본 발명의 초박형 반도체 패키지는 분할된 다이 패드를 사용하여 패키지 성형체 내부에서 다이 패드가 차지하는 면적을 감소시킴으로써 다이 패드와 나머지 구성요소들 간의 열팽창계수 차이로 인한 신뢰성 저하를 방지할 수 있다.
- <124> 또한, 본 발명의 초박형 반도체 패키지는 반도체 집적회로 칩의 종류와 개수에 제약받지 않으며, 반도체 집적회로 칩을 다이 패드에 부착시키는 접착층의 종류에도 제한을 두지 않는다. 아울러, 전형적인 와이어 본딩 방법 대신에 리버스 본딩 방법을 채택함으로써 와이어의 높이를 대폭 줄일 수 있다.
- <125> 본 명세서와 도면에는 본 발명의 바람직한 몇가지 실시예들에 대하여 개시하였으며, 비록 특정 용어들이 사용되었으나, 이는 단지 본 발명의 기술 내용을 쉽게 설명하고 독자의 이해를 돕기 위한 일반적인 의미에서 사용된 것이지, 본 발명의 범위를 한정하고자 하는 것은 아니다. 여기에 개시된 실시예들 외에도 본 발명의 기술적 사상에 바탕을 둔 다른 변형예들이 실시 가능하다는 것은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게는 자명한 것이다.

【특허청구범위】**【청구항 1】**

초박형 반도체 패키지 소자로서,
복수의 전극 패드가 형성되어 있는 반도체 칩과,
패키지 소자의 몸체를 이루며 상기 반도체 칩을 봉입하는 성형체와,
상기 반도체 칩이 실장되는 다이 패드와, 이 다이 패드와 떨어져서 다이 패드 둘레에 배치되는 복수의 리드와, 상기 다이 패드와 연결되어 다이 패드 둘레에 배치되는 타이바를 갖는 리드 프레임과,
상기 성형체 내부에 포함되며 상기 복수의 전극 패드와 복수의 리드를 전기적으로 연결하는 본딩 와이어를 포함하며,
상기 다이 패드는 반도체 칩이 부착되는 칩 부착부와 그 둘레에 존재하는 가장자리부를 구비하며, 상기 복수의 리드 각각은 상기 본딩 와이어가 본딩되고 상기 성형체 내부에 포함되는 내부 리드와 상기 성형체 외부에 위치하는 외부 리드를 일체형으로 구비하고,
상기 다이 패드의 칩 부착부는 제1 두께를 가지고, 상기 내부 리드는 제2 두께를 가지며, 상기 제1 두께는 제2 두께보다 더 작은 것을 특징으로 하는 초박형 반도체 패키지 소자.

【청구항 2】

제1항에서, 상기 제1 두께는 제2 두께의 30~50% 범위인 것을 특징으로 하는 초박형 반도체 패키지 소자.

【청구항 3】

제1항에서, 상기 칩 부착부의 두께는 상기 가장자리부의 두께와 동일한 것을 특징으로 하는 초박형 반도체 패키지 소자.

【청구항 4】

제1항에서, 상기 다이 패드 칩 부착부의 양쪽면에 각각 부착되는 두 개의 반도체 집적회로 칩을 포함하는 것을 특징으로 하는 초박형 반도체 패키지 소자.

【청구항 5】

제1항에서, 상기 다이 패드는 성형체 두께 방향에 대해 리드에 비해 소정의 거리만큼 아래쪽에 배치되어 있는 것을 특징으로 하는 초박형 반도체 패키지 소자.

【청구항 6】

제1항에서, 상기 본딩 와이어는 상기 리드 표면에 형성된 볼(ball)과 상기 반도체 칩의 전극 패드에 형성된 스티치(stitch)에 의해 연결되어 있는 것을 특징으로 하는 초박형 반도체 패키지 소자.

【청구항 7】

제6항에서, 상기 반도체 칩의 전극 패드에는 금속 범프가 형성되어 있고 상기 스티치는 이 금속 범프 위에 형성되는 것을 특징으로 하는 초박형 반도체 패키지 소자.

【청구항 8】

제1항에서, 상기 리드를 중심으로 상하의 성형체 두께가 서로 다른 것을 특징으로 하는 초박형 반도체 패키지 소자.

【청구항 9】

제5항에서, 상기 타이 바의 두께는 상기 리드의 두께와 동일한 것을 특징으로 하는 초박형 반도체 패키지 소자.

【청구항 10】

제1항에서, 상기 타이 바의 두께는 상기 다이 패드 가장자리부의 두께와 동일한 것을 특징으로 하는 초박형 반도체 패키지 소자.

【청구항 11】

제1항에서, 상기 다이 패드 가장자리부는 상기 칩 부착부에 비해 양쪽으로 돌출되어 있고, 가장자리부의 두께는 리드의 두께와 동일한 것을 특징으로 하는 초박형 반도체 패키지 소자.

【청구항 12】

제1항에서, 상기 다이 패드는 2개 이상의 분할되어 제1 다이 패드와 제2 다이 패드를 포함하는 것을 특징으로 하는 초박형 반도체 패키지 소자.

【청구항 13】

제12항에서, 상기 제1 다이 패드와 제2 다이 패드는 각각의 칩 부착부와 가장자리부를 구비하는 것을 특징으로 하는 초박형 반도체 패키지 소자.

【청구항 14】

제1항에서, 상기 반도체 칩은 접착제에 의해 상기 다이 패드의 칩 부착부에 본딩되는 것을 특징으로 하는 초박형 반도체 패키지 소자.

【청구항 15】

제1항에서, 상기 리드 프레임은 철-니켈 합금이나 구리 합금으로 이루어지며 상기 본딩 와이어는 금선(gold wire)인 것을 특징으로 하는 초박형 반도체 패키지 소자.

【청구항 16】

제1항에서, 상기 반도체 칩은 메모리 소자이며, 상기 접착제는 에폭시 계열의 수지를 포함하는 필름형 접착 테이프인 것을 특징으로 하는 초박형 반도체 패키지 소자.

【청구항 17】

초박형 반도체 패키지 소자로서,

복수의 전극 패드가 형성되어 있는 제1 반도체 칩, 제2 반도체 칩과,

패키지 소자의 몸체를 이루며 상기 반도체 칩을 봉입하는 성형체와,

상기 반도체 칩이 실장되는 다이 패드와, 이 다이 패드와 떨어져서 다이 패드 둘레에 배치되는 복수의 리드와, 상기 다이 패드와 연결되어 다이 패드 둘레에 배치되는 타이바를 갖는 리드 프레임과,

상기 성형체 내부에 포함되며 상기 복수의 전극 패드와 복수의 리드를 전기적으로 연결하는 본딩 와이어를 포함하며,

상기 다이 패드는 반도체 칩이 부착되는 칩 부착부와 그 둘레에 존재하는 가장자리부를 구비하며, 상기 복수의 리드 각각은 상기 본딩 와이어가 본딩되고 상기 성형체 내부에 포함되는 내부 리드와 상기 성형체 외부에 위치하는 외부 리드를 일체형으로 구비하고,

상기 다이 패드의 칩 부착부는 제1 두께를 가지고, 상기 내부 리드는 제2 두께를 가지며, 상기 제1 두께는 제2 두께보다 더 작고, 상기 다이 패드의 가장자리부는 두께가 상기 내부 리드의 제2 두께와 동일하며, 상기 가장자리부는 상기 칩 부착부에 비해 한쪽 방향으로 돌출되어 있으며, 상기 제1 반도체 칩은 다이 패드 칩 부착부의 윗면에 부착되고 제2 반도체 칩은 다이 패드 칩 부착부의 밑면에 부착되는 것을 특징으로 하는

초박형 반도체 패키지 소자.

【청구항 18】

제17항에서, 상기 가장자리부의 돌출 방향은 상기 제1 반도체 칩 방향인 것을 특징으로 하는 초박형 반도체 패키지 소자.

【청구항 19】

제18항에서, 상기 성형체는 상기 리드를 중심으로 위 아래의 두께가 서로 다른 것을 특징으로 하는 초박형 반도체 패키지 소자.

【청구항 20】

제17항에서, 상기 가장자리부의 돌출 방향은 상기 제2 반도체 칩 방향인 것을 특징으로 하는 초박형 반도체 패키지 소자.

【청구항 21】

제20항에서, 상기 다이 패드는 성형체 두께 방향에 대해 리드에 비해 소정의 거리만큼 아래쪽에 배치되어 있는 것을 특징으로 하는 초박형 반도체 패키지 소자.

【청구항 22】

제17항에서, 상기 가장자리부의 돌출 방향에 놓인 반도체 칩에 연결되어 있는 본딩 와이어는 상기 돌출 방향 반대쪽에 놓인 반도체 칩과 연결된 본딩 와이어에 비해 길이가 더 짧은 것을 특징으로 하는 초박형 반도체 패키지 소자.

【청구항 23】

제17항에서, 상기 본딩 와이어는 상기 리드 표면에 형성된 볼(ball)과 상기 반도체 칩의 전극 패드에 형성된 스티치(stitch)에 의해 연결되어 있는 것을 특징으로 하는 초박형 반도체 패키지 소자.

【청구항 24】

제23항에서, 상기 반도체 칩의 전극 패드에는 금속 범프가 형성되어 있고 상기 스티치는 이 금속 범프 위에 형성되는 것을 특징으로 하는 초박형 반도체 패키지 소자.

【청구항 25】

제17항에서, 상기 다이 패드는 2개 이상의 분할되어 제1 다이 패드와 제2 다이 패드를 포함하는 것을 특징으로 하는 초박형 반도체 패키지 소자.

【청구항 26】

제25항에서, 상기 제1 다이 패드와 제2 다이 패드는 각각의 칩 부착부와 가장자리부를 구비하는 것을 특징으로 하는 초박형 반도체 패키지 소자.

【청구항 27】

제17항에서, 상기 반도체 칩은 메모리 소자이며, 상기 접착제는 에폭시 계열의 수지를 포함하는 필름형 접착 테이프인 것을 특징으로 하는 초박형 반도체 패키지 소자.

【청구항 28】

제17항에서, 상기 성형체의 두께는 약 $580\mu\text{m}$ 이고, 상기 가장자리부의 두께는 $100\mu\text{m}$ 이며, 상기 칩 부착부의 두께는 $40\mu\text{m}$ 인 것을 특징으로 하는 초박형 반도체 패키지 소자.

【청구항 29】

제17항에서, 상기 반도체 칩은 접착제에 의해 다이 패드 칩 부착부에 본딩되며, 상기 접착제는 웨이퍼 상태에서 상기 반도체 칩의 밑면에 부착되어 있던 접착제인 것을 특징으로 하는 초박형 반도체 패키지 소자.

【청구항 30】

초박형 반도체 패키지 소자를 제조하는 방법으로서,

다이 패드, 이 다이 패드를 지지하며 다이 패드와 연결되어 있는 타이 바, 상기 다이 패드로부터 떨어져 그 둘레에 배치된 복수의 리드가 형성되어 있는 리드 프레임을 준비하는 단계와,

상기 다이 패드에 칩 부착부와 그 둘레에 일체형의 가장자리부를 정의하는 단계와,

상기 칩 부착부를 식각하여 상기 리드보다 더 얇은 소정의 두께가 되도록 하는 칩 부착부 식각 단계와,

상기 식각된 칩 부착부에 반도체 칩을 부착하는 다이 본딩 단계와,

상기 반도체 칩을 리드와 전기적으로 연결하는 와이어 본딩 단계와,

상기 반도체 칩과 본딩 와이어 및 리드 일부분을 몰딩하여 패키지 성형 몸체를 형성하는 단계를

포함하는 초박형 반도체 패키지 소자 제조 방법.

【청구항 31】

제30항에서, 칩 부착부의 소정의 두께는 리드 두께의 30~50% 범위인 것을 특징으로 하는 초박형 반도체 패키지 소자 제조 방법.

【청구항 32】

제30항에서, 상기 다이 패드 가장자리부, 타이 바는 칩 부착부와 두께가 동일한 것을 특징으로 하는 초박형 반도체 패키지 소자 제조 방법.

【청구항 33】

제30항에서, 상기 다이 패드 가장자리부, 타이 바는 리드와 두께가 동일한 것을 특징으로 하는 초박형 반도체 패키지 소자 제조 방법.

【청구항 34】

제33항에서, 상기 가장자리부는 칩 부착부에 대해 양쪽으로 돌출되어 있는 것을 특징으로 하는 초박형 반도체 패키지 소자 제조 방법.

【청구항 35】

제33항에서, 상기 가장자리부는 칩 부착부에 대해 한쪽으로 돌출되어 있는 것을 특징으로 하는 초박형 반도체 패키지 소자 제조 방법.

【청구항 36】

제35항에서, 상기 다이 패드는 성형체 두께 방향에 대해 리드에 비해 소정의 거리만큼 아래쪽에 배치되어 있는 것을 특징으로 하는 초박형 반도체 패키지 소자 제조 방법.

【청구항 37】

제30항에서, 상기 성형체는 상기 리드를 중심으로 위 아래의 두께가 서로 다른 것을 특징으로 하는 초박형 반도체 패키지 소자 제조 방법.

【청구항 38】

제30항에서, 복수의 반도체 칩이 형성되어 있고 활성면을 갖는 웨이퍼를 준비하는 단계와,

상기 웨이퍼의 밑면에 접착층을 부착하고 상기 접착층에 자외선 테이프를 부착하는 단계와,

상기 자외선 테이프에 자외선을 조사하여 상기 접착층과 자외선 테이프 사이의 접착력을 없애는 단계와,

상기 웨이퍼를 복수의 반도체 칩 단위로 절단하는 단계와,

상기 절단된 반도체 칩을 웨이퍼 상태의 자외선 테이프로부터 완전히 분리하는데, 상기 반도체 칩의 밑면에는 상기 접착층이 부착된 상태로 반도체 칩을 분리하는 단계를 더 포함하며,

상기 다이 본딩 단계는 상기 접착층이 밑면에 부착된 반도체 칩을 상기 다이 패드 칩 부착부에 본딩하는 단계인

것을 특징으로 하는 초박형 반도체 패키지 소자 제조 방법.

【청구항 39】

제30항 또는 38항에서, 상기 반도체 칩은 칩 부착부의 윗면에 부착되는 제1 반도체 칩과 상기 칩 부착부의 밑면에 부착되는 제2 반도체 칩을 포함하며, 상기 다이 본딩 단계는 상기 제1 반도체 칩을 부착하는 제1 다이 본딩 단계와 제2 반도체 칩을 부착하는 제2 다이 본딩 단계를 포함하는 것을 특징으로 하는 초박형 반도체 패키지 소자 제조 방법.

【청구항 40】

제30항 또는 38항에서, 상기 반도체 칩은 칩 부착부의 윗면에 부착되는 제1 반도체 칩과 상기 칩 부착부의 밑면에 부착되는 제2 반도체 칩을 포함하며, 상기 와이어 본딩 단계는 상기 제1 반도체 칩을 리드와 전기적으로 연결하는 제1 와이어 본딩 단계와 제2 반도체 칩을 리드와 전기적으로 연결하는 제2 와이어 본딩 단계를 포함하는 것을 특징으로 하는 초박형 반도체 패키지 소자 제조 방법.

【청구항 41】

제30항 또는 제40항에서, 상기 본딩 와이어는 상기 리드 표면에 형성된 볼(ball)과 상기 반도체 칩의 전극 패드에 형성된 스티치(stitch)에 의해 연결되어 있는 것을 특징으로 하는 초박형 반도체 패키지 소자 제조 방법.

【청구항 42】

제35항에서, 상기 가장자리부의 돌출 방향에 놓인 반도체 칩에 연결된 본딩 와이어와 상기 돌출 방향 반대쪽에 놓인 반도체 칩에 연결되는 본딩 와이어의 길이가 서로 다른 것을 특징으로 하는 초박형 반도체 패키지 소자 제조 방법.

【청구항 43】

제36항에서, 상기 반도체 칩을 기준으로 상하 대칭인 것을 특징으로 하는 초박형 반도체 패키지 소자 제조 방법.

【청구항 44】

제38항에서, 상기 웨이퍼 준비 단계는,
웨이퍼의 활성면에 자외선 테이프를 부착하는 단계와,
상기 웨이퍼의 활성면 반대면을 연마하는 단계와,
상기 활성면에 부착된 자외선 테이프에 자외선을 조사하는 단계와,
상기 자외선 테이프를 활성면으로부터 제거하는 단계를 포함하는 것을 특징으로 하는 초박형 반도체 패키지 소자 제조 방법.

【청구항 45】

제30항 또는 제38항에서, 상기 패키지 성형 몸체를 형성하는 단계는 170~175℃의 온도 범위에서 용융 수지를 주입하는 단계를 포함하는 것을 특징으로 하는 초박형 반도체 패키지 소자 제조 방법.

【청구항 46】

제30항 또는 제38항에서, 상기 접착제는 에폭시 계열의 수지를 포함하는 것을 특징으로 하는 초박형 반도체 패키지 소자 제조 방법.

【청구항 47】

제46항에서, 상기 접착제는 경막제(hardener)를 더 포함하고, 상기 경막제는 아민(amine)인 것을 특징으로 하는 초박형 반도체 패키지 소자 제조 방법.

【청구항 48】

제46항 또는 제47항에서, 상기 접착제는 결합제(coupling agent)를 더 포함하며, 상기 결합제는 실란(silane)인 것을 특징으로 하는 초박형 반도체 패키지 소자 제조 방법.

【청구항 49】

제30항 또는 제38항에서, 칩 부착부 식각 단계에서 식각되는 양은 압력과 식각액의 적용 시간에 의해 결정되는 것을 특징으로 하는 초박형 반도체 패키지 소자 제조 방법.

【청구항 50】

반도체 패키지 소자를 포함하는 전자 기기로서,

상기 반도체 패키지 소자는 패키지 성형 몸체의 두께가 0.7mm 이하이고,

상기 반도체 패키지 소자는,

복수의 전극 패드가 형성되어 있는 반도체 칩과,

패키지 소자의 몸체를 이루며 상기 반도체 칩을 봉입하는 성형체와,

상기 반도체 칩이 실장되는 다이 패드와, 이 다이 패드와 떨어져서 다이 패드 둘레에 배치되는 복수의 리드와, 상기 다이 패드와 연결되어 다이 패드 둘레에 배치되는 타이바를 갖는 리드 프레임과,

상기 성형체 내부에 포함되며 상기 복수의 전극 패드와 복수의 리드를 전기적으로 연결하는 본딩 와이어를 포함하며,

상기 다이 패드는 반도체 칩이 부착되는 칩 부착부와 그 둘레에 존재하는 가장자리부를 구비하며, 상기 복수의 리드 각각은 상기 본딩 와이어가 본딩되고 상기 성형체 내부에 포함되는 내부 리드와 상기 성형체 외부에 위치하는 외부 리드를 일체형으로 구비하고,

상기 다이 패드의 칩 부착부는 제1 두께를 가지고, 상기 내부 리드는 제2 두께를 가지며, 상기 제1 두께는 제2 두께보다 더 작은 것을 특징으로 하는 전자 기기.

【청구항 51】

반도체 패키지 소자를 포함하는 전자 기기로서,

상기 반도체 패키지 소자는 패키지 성형 몸체의 두께가 0.7mm 이하이고,

상기 반도체 패키지 소자는,

복수의 전극 패드가 형성되어 있는 제1 반도체 칩, 제2 반도체 칩과,

패키지 소자의 몸체를 이루며 상기 반도체 칩을 봉입하는 성형체와,

상기 반도체 칩이 실장되는 다이 패드와, 이 다이 패드와 떨어져서 다이 패드 둘레에 배치되는 복수의 리드와, 상기 다이 패드와 연결되어 다이 패드 둘레에 배치되는 타이바를 갖는 리드 프레임과,

상기 성형체 내부에 포함되며 상기 복수의 전극 패드와 복수의 리드를 전기적으로 연결하는 본딩 와이어를 포함하며,

상기 다이 패드는 반도체 칩이 부착되는 칩 부착부와 그 둘레에 존재하는 가장자리부를 구비하며, 상기 복수의 리드 각각은 상기 본딩 와이어가 본딩되고 상기 성형체 내부에 포함되는 내부 리드와 상기 성형체 외부에 위치하는 외부 리드를 일체형으로 구비하고,

상기 다이 패드의 칩 부착부는 제1 두께를 가지고, 상기 내부 리드는 제2 두께를 가지며, 상기 제1 두께는 제2 두께보다 더 작고, 상기 다이 패드의 가장자리부는 두께가 상기 내부 리드의 제2 두께와 동일하며, 상기 가장자리부는 상기 칩 부착부에 비해 한쪽 방향으로 돌출되어 있으며, 상기 제1 반도체 칩은 다이 패드 칩 부착부의 윗면에 부착되고 제2 반도체 칩은 다이 패드 칩 부착부의 밑면에 부착되는 것을 특징으로 하는

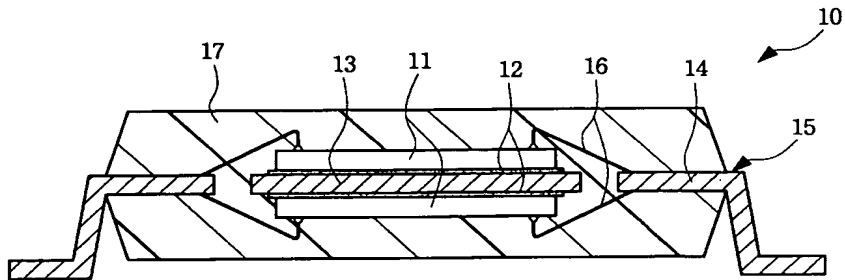
전자 기기.

【청구항 52】

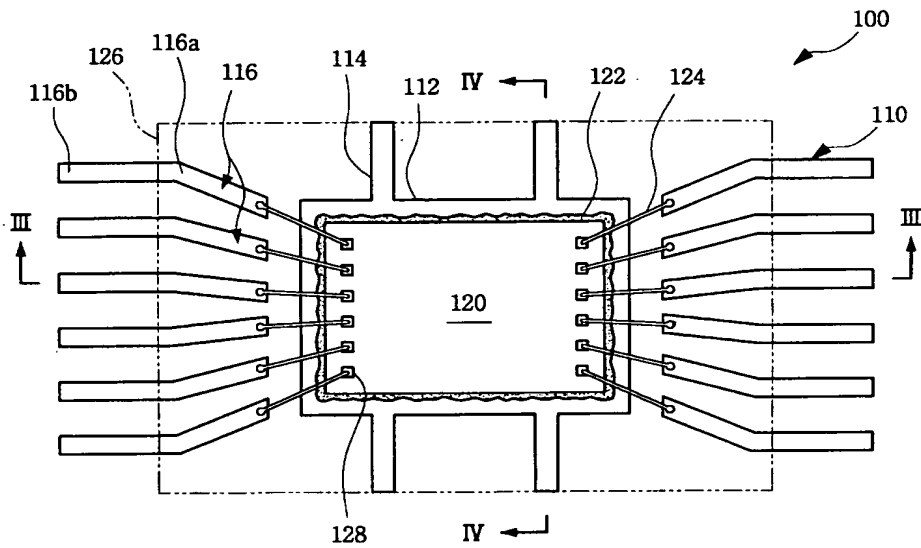
제50항 또는 제51항에서, 상기 전자 기기는 메모리 카드인 것을 특징으로 하는 초박형 반도체 패키지 소자 제조 방법.

【도면】

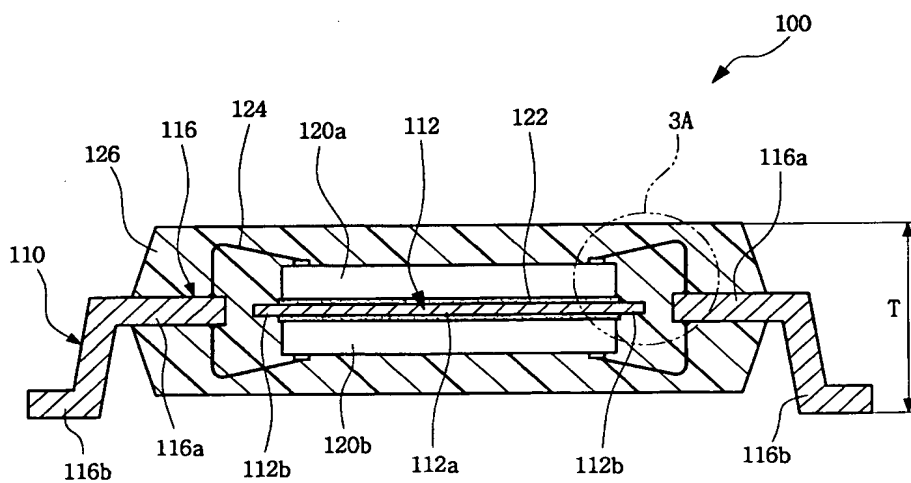
【도 1】



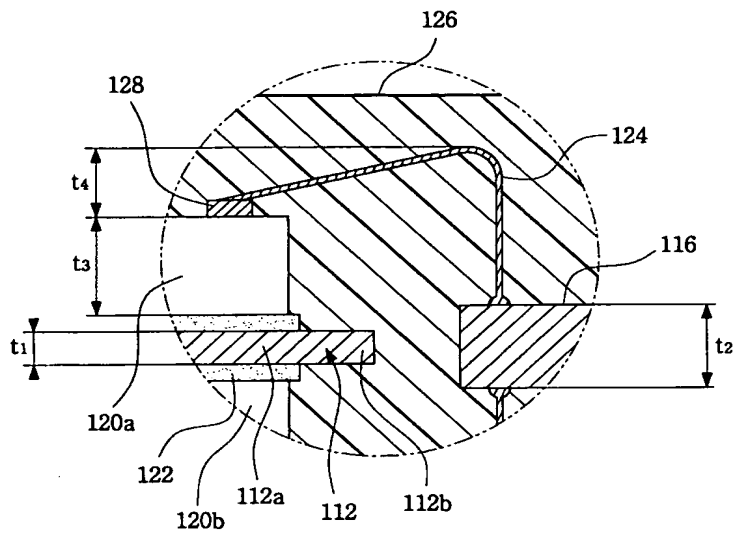
【도 2】



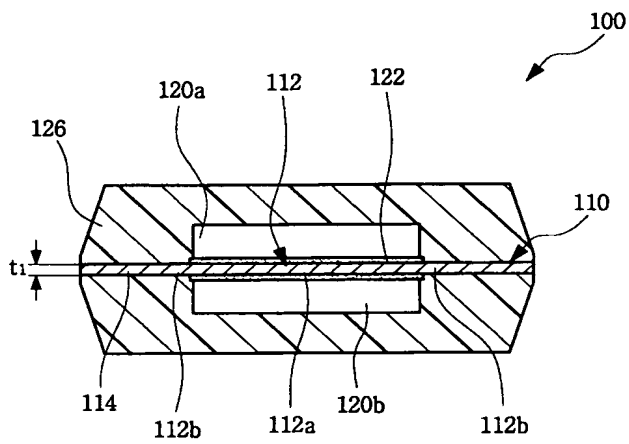
【도 3a】



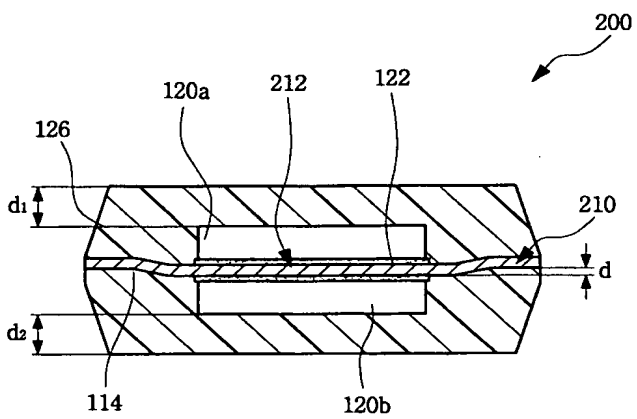
【도 3b】



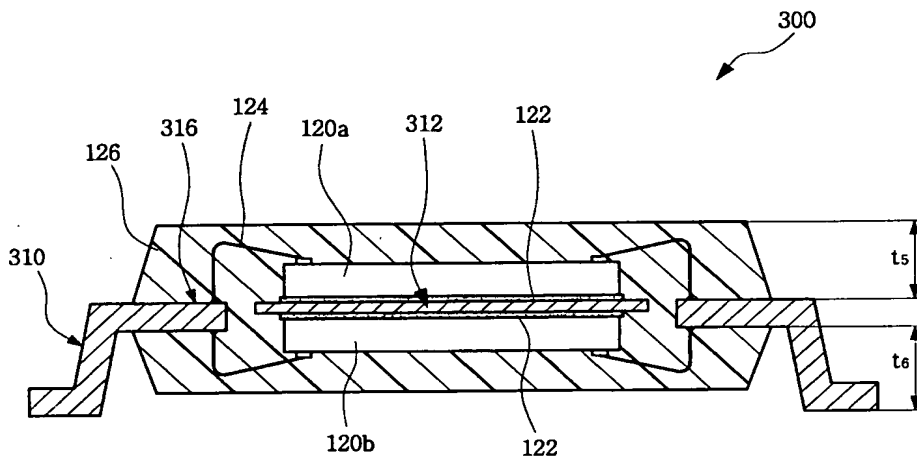
【도 4】



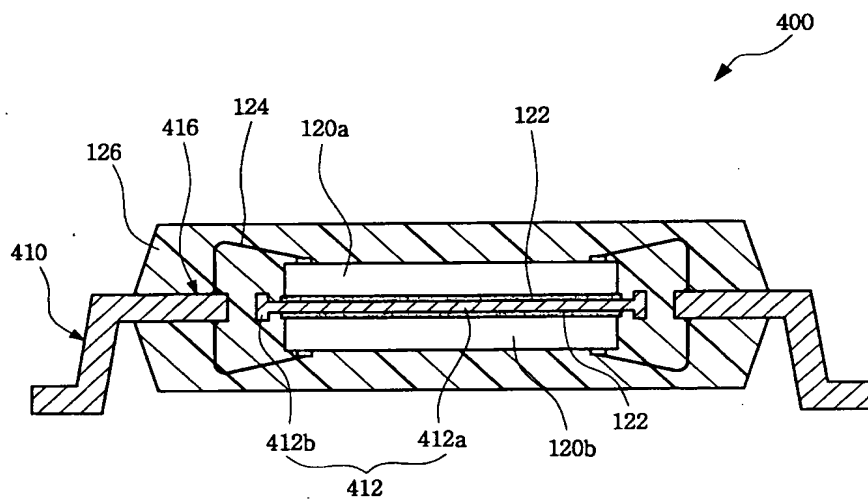
【도 5】



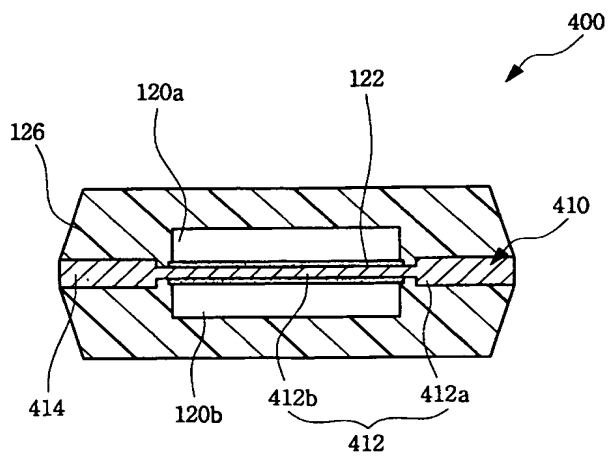
【도 6】



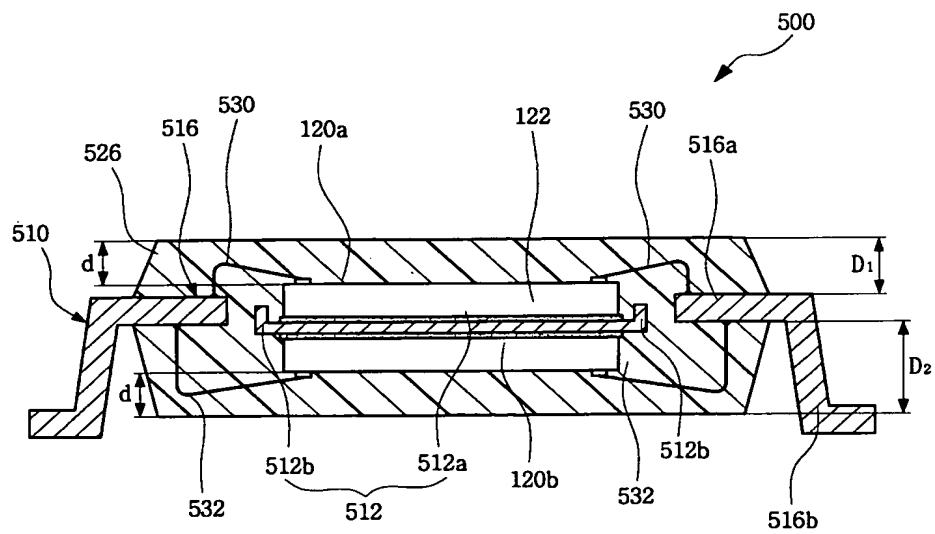
【도 7a】



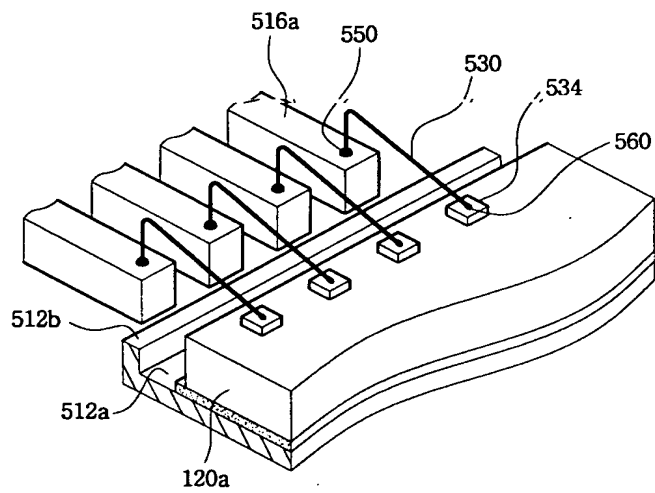
【도 7b】



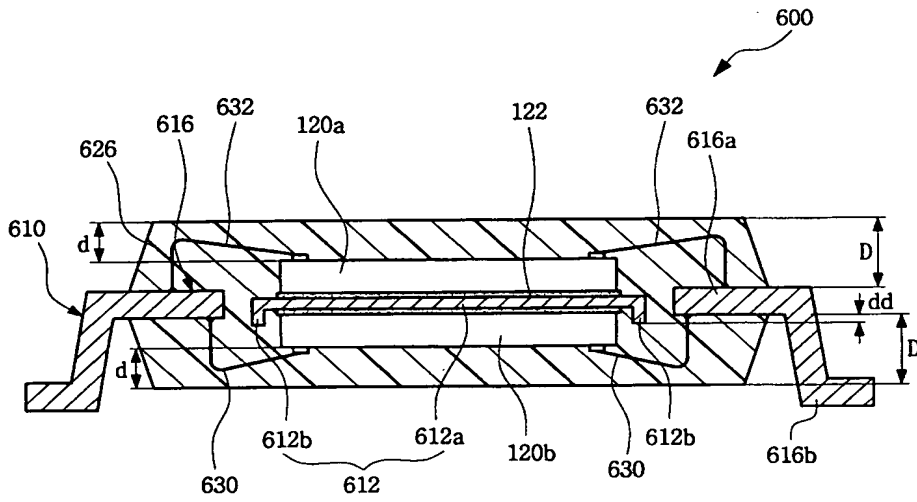
【도 8】



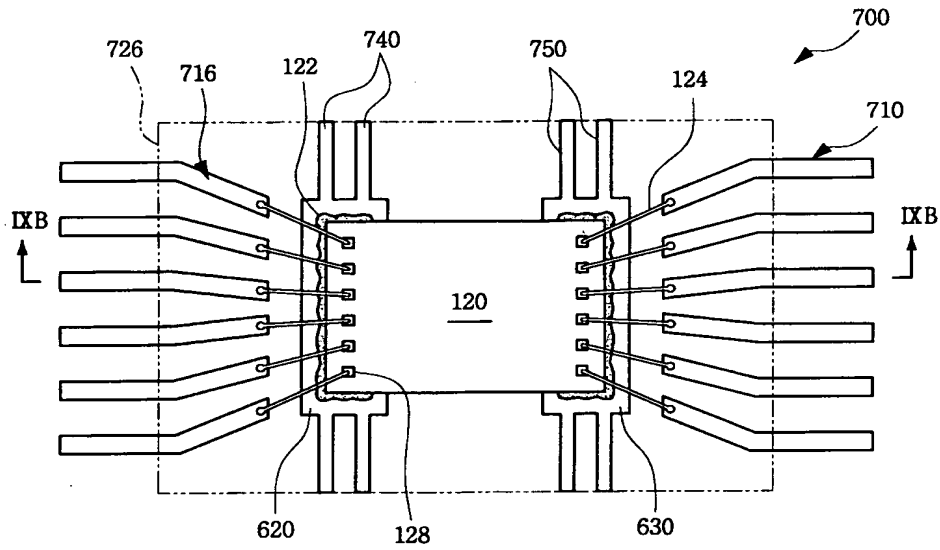
【도 9】



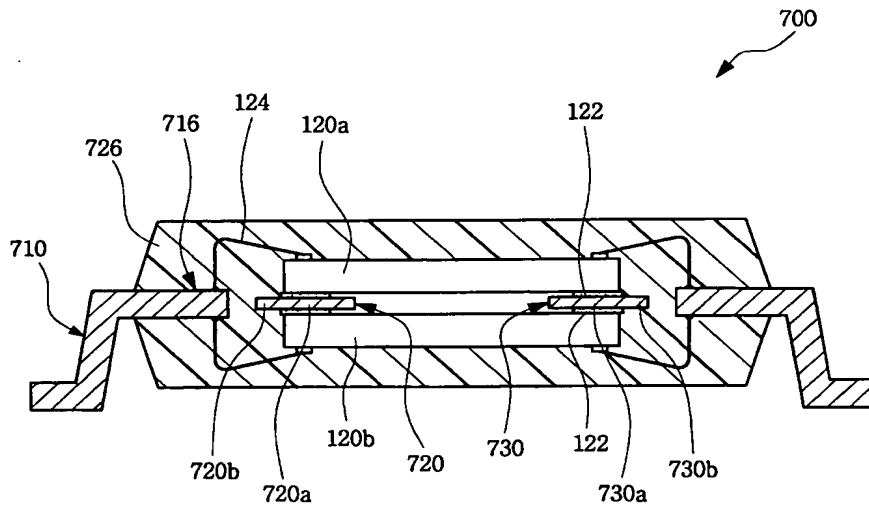
【도 10】



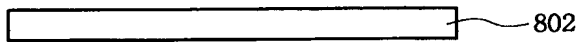
【도 11a】



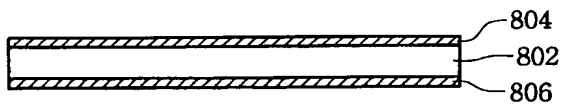
【도 11b】



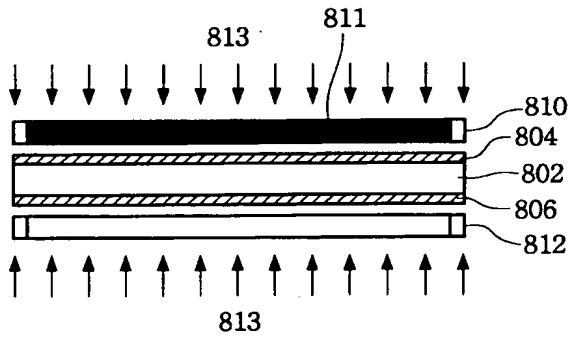
【도 12a】



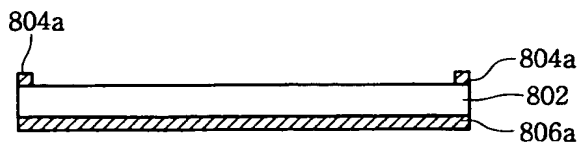
【도 12b】



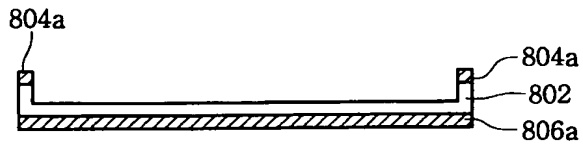
【도 12c】



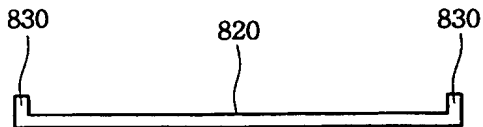
【도 12d】



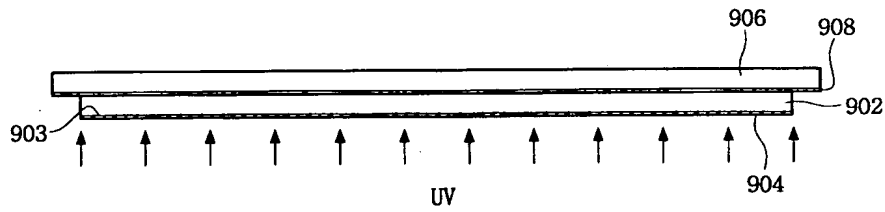
【도 12e】



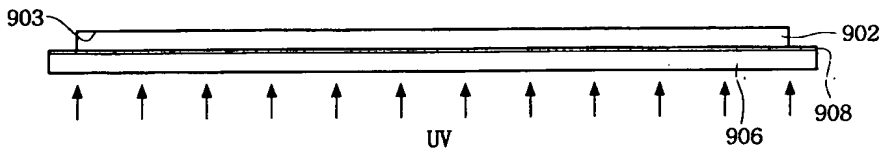
【도 12f】



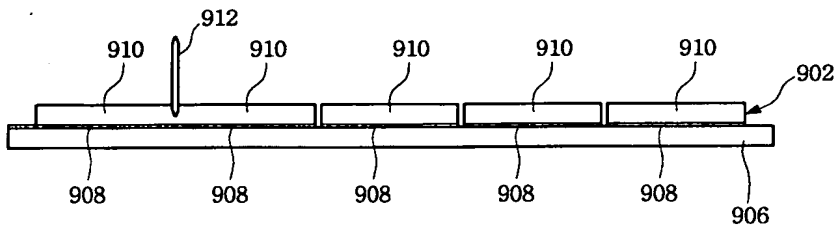
【도 13a】



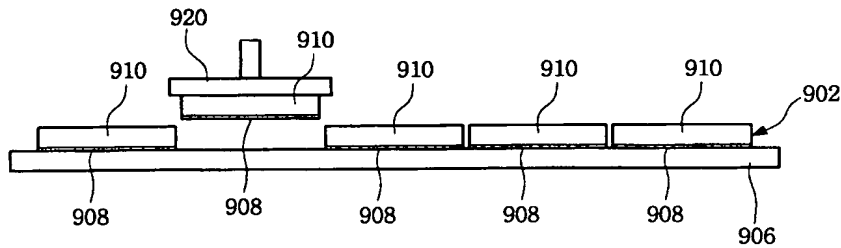
【도 13b】



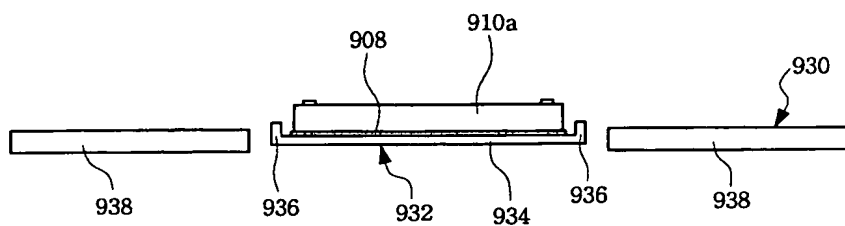
【도 13c】



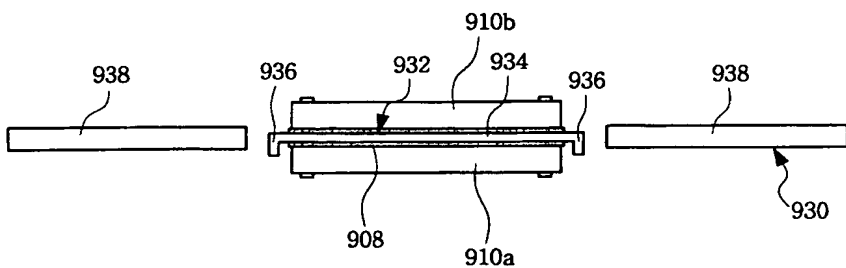
【도 13d】



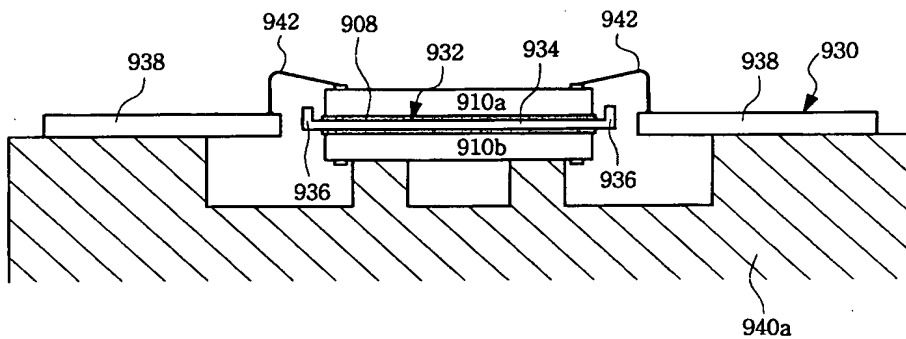
【도 13e】



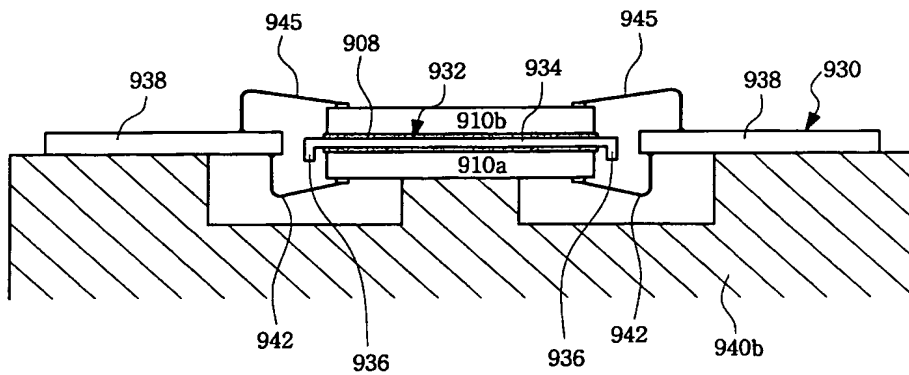
【도 13f】



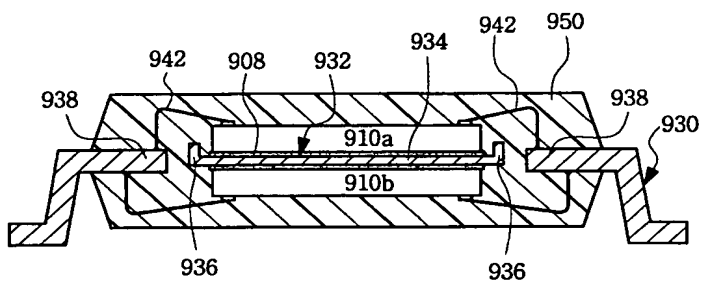
【도 13g】



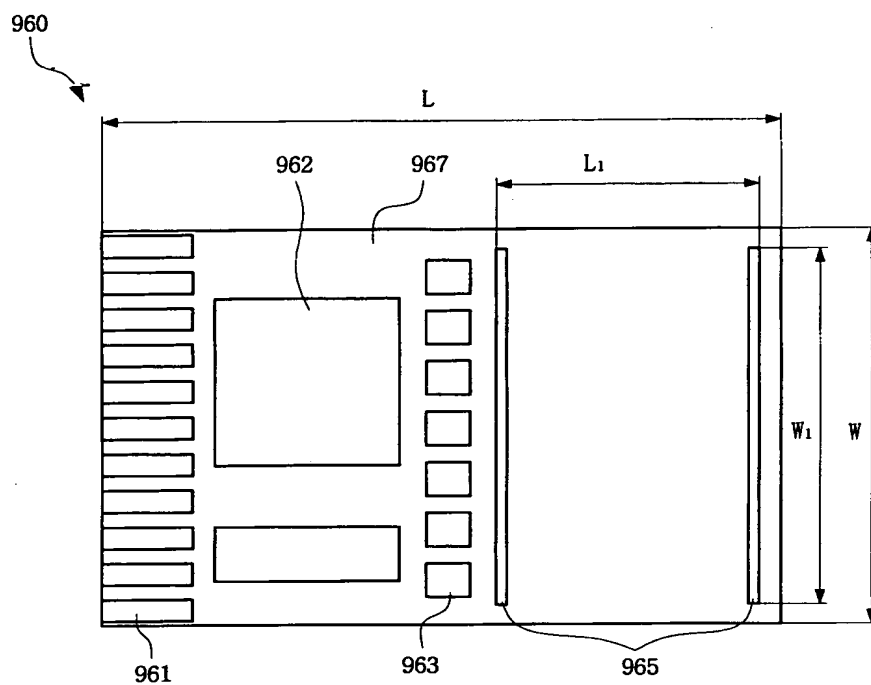
【도 13h】



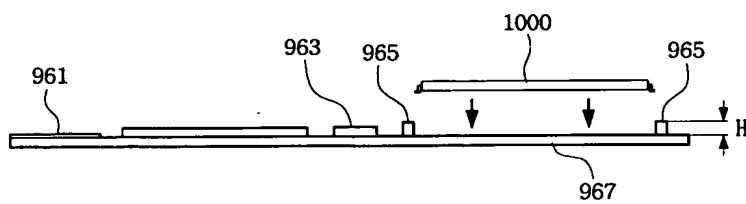
【도 13i】



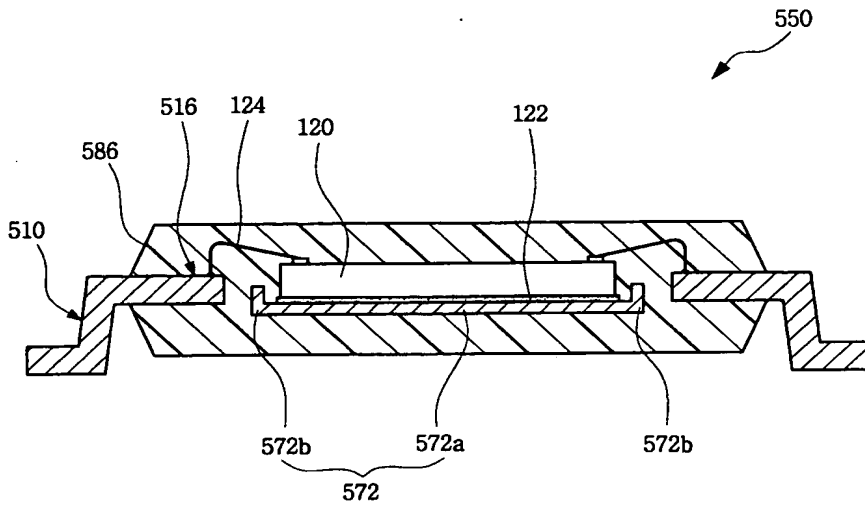
【도 14a】



【도 14b】



【도 15】



【도 16】

